

目 录

序

第一章 几个布尔代数公式	(1)
第二章 基本门电路	(7)
(一)基本门电路介绍.....	(7)
(二)几点说明.....	(11)
(三)一般门电路举例.....	(12)
第三章 卡诺图解法及组合电路设计	(17)
(一)二元矩阵.....	(17)
(二)三元矩阵.....	(18)
(三)四元矩阵.....	(22)
(四)五元矩阵.....	(26)
(五)实例.....	(32)
第四章 “与非”门时序电路设计	(34)
(一)设计方法.....	(34)
(二)二进制.....	(48)
(三)设计中的隐患.....	(65)
(四)三进器与五进器.....	(77)
(五)实际电路举例.....	(81)
(六)小结.....	(94)
第五章 触发器的矩阵	(97)
(一)初步设想.....	(97)
(二)主从式RS触发器.....	(100)

(三)JK触发器	(108)
(四)T触发器	(111)
(五)D触发器	(111)
第六章 触发器同步时序电路设计	(113)
(一)三进器	(113)
(二)多毕特二进制计数器	(120)
(三)G控制逻辑	(126)
(四)同步逻辑电路	(135)
文献	(142)
附录	(143)

第一章 几个布尔代数公式

布尔代数适用于逻辑推理、集论（用于概率论、泛函分析，实变函数论，拓朴学等学科）以及开关电路。

用开关电路，可以模拟逻辑上的“是”、“否”、“或”、“与”等关系。开关闭合时，代表“是”，数学上称为“1”；开关断开时，代表“否”，数学上称为“0”。

设 A ， B 代表两个不同的开关。逻辑上的“ A 或 B ”这种“或”的关系，可用图 1.1 所示的开关电路来代

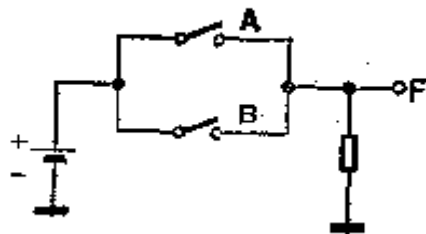


图 1.1

表。这个电路的状态是：当 A 、 B 都断开时， $F = 0$ ；

当 A 断开、 B 闭合时， $F = 1$ ；

当 A 闭合、 B 断开时， $F = 1$ ；

当 A 、 B 都闭合时， $F = 1$ 。

由此可见，“或”的逻辑关系是：“ A 或 B 两条论断有一个对，结论就是对的。”

这种关系可以用表 1.1 示出的真值表来表达。若用布尔代

表 1.1

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

数表达就是：

$$F = A + B \quad (1)$$

如果 $A = B = 1$ ，则有

$$1 + 1 = 1 \quad (2)$$

这是布尔代数中的一种基本关系。显然这种关系跟普通代数

不同。

逻辑上的“ A 与 B ”这种“与”的关系，可用图 1.2 示出的开关电路说明。不难看出，“与”的逻辑关系是：“一定要 A 和 B 两条论断都正确，结论才算正确。”表 1.2 是“与”逻辑关系的真值表。“与”的布尔代数表达式是：

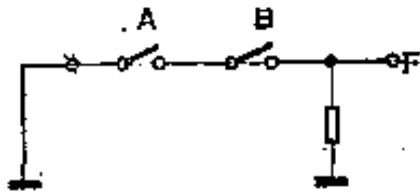


图 1.2

$$A \cdot B = F$$

或写作 $AB = F$ (3)

表 1.2 “与”的真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

这个关系式，从真值表上来看，跟普通代数比较接近。

对布尔代数的几个公式作简单说明用范氏图形比较方便。图 1.3 是最基本的范氏图。图中长方形是我们讨论的事物的全部，称为“总集”，记作 u 。 A 这个圆圈在总集 u 之内。 A 的内部代表 $A = 1$ 的区域，记作 A ； A 的外部但仍在 u 之内的一部分代表 $A = 0$ 的区域，记作 \bar{A} ，读作“ A 非”，即图 1.4 中的阴影区。



图 1.3

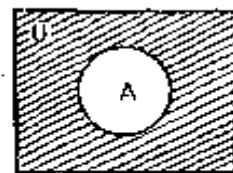


图 1.4

图 1.5(甲)、(乙)、(丙)中的阴影区都代表 $A + B$ 这个“ A 或 B ”的关系。用普通几何概念来说，图(甲)中的“ $A + B$ ”区等于 A 区加 B 区；图(乙)中的“ $A + B$ ”区等于 A 区加 B 区

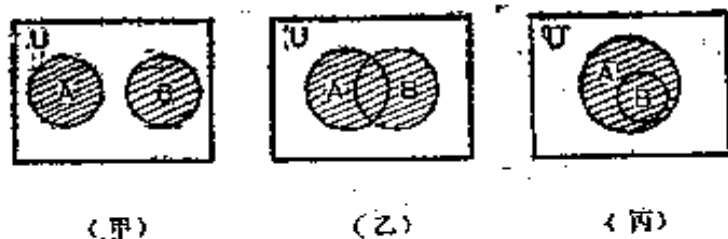


图 1.5

再减去 A 和 B 的共同区, 结果就是图(乙)中的阴影区。图(丙)中的“ $A + B$ ”区就等于 A 区。为使这个概念形象化, 可以设想 A 和 B 是两支手电筒射在墙上的光圈: “是”的区域就是亮的区域, “非”的区域就是暗的区域。显然, “亮”就是亮, 一支电筒照“亮”的区域, 再被一支电筒的光照射, 也只不过更亮些而已。肯定一次的事情是“是”, 肯定一百次, 还是“是”。所以有 $A + A = A$; $A + A + A + \dots = A$ 。图1.6中的阴影区代表 $A \cdot B$ 这个“与”的关系。

用类似的逻辑推理, 不难看出, 图1.7中的阴影区代表“ $A + B$ ”这个布尔函数之“非”, 记作 $\overline{A + B}$; 图1.8中的阴影区代表“ AB ”这个“ A 与 B ”的布尔函数之“非”, 记作 \overline{AB} 。

现在, 让我们就在这几个简单的范氏图上推出几个最常用

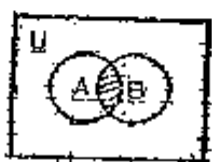


图 1.6

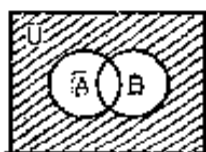


图 1.7

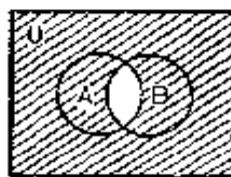


图 1.8

的布尔代数公式。

从图1.4可以推出:

$$\overline{\overline{A}} = A \quad (4)$$

即“否定”之“否定”是“肯定”。

从图1.3及图1.5可以推出：

$$A + A = A \quad (5)$$

同理，从图1.4可以推出：

$$\overline{A} + \overline{A} = \overline{A} \quad (5a)$$

从图1.6可以推出：

$$A \cdot A = A \quad (6)$$

因为A区与A区的共同区就是A区。

同理，

$$\overline{A} \cdot \overline{A} = \overline{A} \quad (6a)$$

从图1.3及图1.4可以推出：

$$A + \overline{A} = u \quad (7)$$

从图1.3、图1.4及图1.6可以推出：

$$A \overline{A} = 0 \quad (8)$$

从图1.3及图1.5可以推出：

$$A + u = u \quad (9)$$

从图1.3及图1.6可以推出：

$$A \cdot u = A \quad (10)$$

从图1.5可以推出：

$$A + 0 = A \quad (11)$$

从图1.6可以推出：

$$A \cdot 0 = 0 \quad (12)$$

从图1.6又可以推出：

$$A + AB = A \quad (13)$$

从图1.8可以推出：

$$\overline{A} + \overline{B} = \overline{AB} \quad (14)$$

这是一个很重要的公式，称为反演律（即所谓狄摩根定律）。

在以上这些公式的基础上，可以进行布尔代数的一些代数

推导。首先在开关电路上，可作如下的简化： A 、 B 等布尔代数的变元，只取1或0这两个值。这样从(7)式可看出：

$$u = 1 + 0 = 1 \quad (15)$$

因而(7)式就可写作：

$$A + \bar{A} = 1 \quad (16)$$

(9)式也可以写作：

$$A + 1 = 1 \quad (17)$$

(10)式可以写作：

$$A \cdot 1 = A \quad (18)$$

还要建立一个布尔代数运算规律。(13)式可以写作：

$$A + AB = A \cdot (1 + B) \quad (\text{提公因子})$$

$$= A \cdot 1 \quad (\text{用(17)式})$$

$$\therefore A + AB = A \quad (\text{用(18)式})$$

这个提公因子的运算，跟普通代数类似。

这样还可以推导出下列几个公式：

$$A + \bar{A}B = A + AB + \bar{A}B \quad (\text{用(13)式})$$

$$= A + B(A + \bar{A}) \quad (\text{提公因子})$$

$$= A + B \cdot 1 \quad (\text{用(16)式})$$

$$\therefore A + \bar{A}B = A + B \quad (\text{用(18)式}) \quad (19)$$

$$AB + A\bar{B} = A(B + \bar{B}) = A \quad (\text{用(16)式}) \quad (20)$$

$$AB + \bar{A}C + BC = AB + \bar{A}C + BC(A + \bar{A}) \quad (\text{用(16)式})$$

$$= AB + \bar{A}C + ABC + \bar{A}BC$$

$$= AB + ABC + \bar{A}C + \bar{A}BC$$

(去括号换位)

$$\therefore AB + \bar{A}C + BC = AB + \bar{A}C \quad (\text{用(13)式}) \quad (21)$$

现在再以反演律(14)式用代换法作一些推导：

$$\overline{\bar{A} + \bar{B}} = \overline{\overline{AB}} \quad (14)$$

如作 $A \rightarrow \overline{A}$ 和 $B \rightarrow \overline{B}$ 的代换, 则得

$$\overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} \text{ 即 } A + B = \overline{\overline{A} \cdot \overline{B}} \quad (\text{用(14)式}) \quad (22)$$

再将上式两边取“非”则得

$$\overline{A + B} = \overline{\overline{A} \cdot \overline{B}} \quad (23)$$

如将(14)式两边取“非”则得

$$\overline{\overline{A + B}} = \overline{\overline{A \cdot B}} \quad (24)$$

下面将这些常用的布尔代数公式编号排列如下, 以便参考。

$$(I) \quad \overline{\overline{A}} = A$$

$$(II) \quad A + A = A \quad A \cdot A = A$$

$$(III) \quad A + \overline{A} = 1 \quad A \cdot \overline{A} = 0$$

$$(IV) \quad A + 1 = 1 \quad A \cdot 1 = A$$

$$(V) \quad A + 0 = A \quad A \cdot 0 = 0$$

$$(VI)-a \quad \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} \quad (\text{反演律})$$

$$-b \quad \overline{A + B} = \overline{\overline{A} \cdot \overline{B}}$$

$$-c \quad \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

$$-d \quad \overline{\overline{A + B}} = \overline{\overline{A \cdot B}}$$

(注意: “ $\overline{A \cdot B}$ ”不同于“ $\overline{A} \cdot \overline{B}$ ”。)

$$(VII) \quad A + AB = A$$

$$(VIII) \quad A + \overline{A}B = A + B$$

$$(IX) \quad \overline{AB} + A\overline{B} = \overline{A}$$

$$(X) \quad \overline{AB} + \overline{A}C + BC = \overline{AB} + \overline{A}C$$

注意: 布尔代数服从交换律, 即

$$A + B = B + A$$

$$A \cdot B = B \cdot A$$

第二章 基本门电路

(一) 基本门电路介绍

小规模集成电路中，有一些代表基本逻辑函数的“门”电路。下面介绍几种最常用的。

1. “非”门

符号：见图2.1。A是输入， F_1 是输出。

布尔式：

$$F_1 = \bar{A} \quad (1)$$

真值表：

A	F_1	说 明
0	1	$A = 0$ 时, $F_1 = 1$
1	0	$A = 1$ 时, $F_1 = 0$



图 2.1

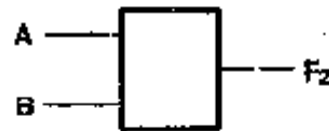


图 2.2

2. “与”门

符号：见图2.2。图示为双输入端“与”门。

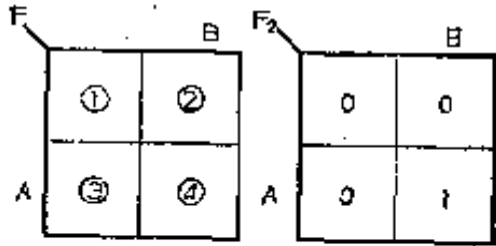
布尔式：

$$F_2 = AB \quad (2)$$

真值表：

A	B	F_2	说 明
0	0	0	$A = 0$, $B = 0$ 时, $F_2 = 0$
0	1	0	$A = 0$, $B = 1$ 时, $F_2 = 0$
1	0	0	$A = 1$, $B = 0$ 时, $F_2 = 0$
1	1	1	$A = 1$, $B = 1$ 时, $F_2 = 1$

真值表用矩阵的形式列出,比较便于运算。矩阵一般格式及相应的“与”门矩阵如左图所示。



矩阵每格的位置,表明输入信号 A 和 B 的情况:带边标 A 的一行都是 $A = 1$,不带边标的一行则全是 $A = 0$;带顶标 B 的一列,全是 $B = 1$,不带顶标的一

列全是 $B = 0$ (横为行,竖为列)。为便于说明,给每小格编了号,每格代表的输入 A 和 B 的状态(矩阵本位值)如表 2.1 所示。

表 2.1 矩阵本位值

小格编号	输入信号		布尔代数符号
	A	B	
①	0	0	$\bar{A} \quad \bar{B}$
②	0	1	$\bar{A} \quad B$
③	1	0	$A \quad \bar{B}$
④	1	1	$A \quad B$

列矩阵时,根据对输出函数 F 的要求,在小格内填入 0 或 1。这种矩阵跟小学的加法表和乘法表很相似。

现在,再重复一遍:根据顶标及边标,小格的位置就决定了输入信号的状态,这个状态称为小格的本位值(或激励值)。小格内填入的数码是在这种激励状态下输出信号的状态,称为函数值。在下面的布尔式中,一律将函数符号写在等号的左边,所有激励信号的符号,都写在等号的右边。

一般的矩阵比较复杂,顶标、边标都不止一个,函数值也不止一个码子,但它们的含义仍跟上面介绍的一样。

3. “与非”门(先“与”后“非”)

符号: 见图2.3。

布尔式: $F_3 = \overline{AB}$

(3)

真值表:

A	B	F_3
0	0	1
0	1	1
1	0	1
1	1	0

矩阵:

	B	
F_3	1	1
A	1	0

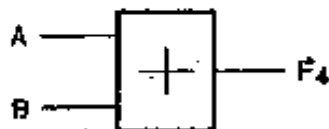
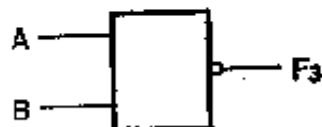


图 2.3

图 2.4

4. “或”门

符号: 见图2.4。

布尔式: $F_4 = A + B$

(4)

真值表:

A	B	F_4
0	0	0
0	1	1
1	0	1
1	1	1

矩阵:

	B	
F_4	0	1
A	1	1

5. “或非”门(先“或”后“非”)

符号: 见图2.5。

布尔式: $F_5 = \overline{A + B}$

(5)

真值表:

A	B	F_6
0	0	1
0	1	0
1	0	0
1	1	0

$$F_6 = \overline{F_4}$$

矩阵:

F_6	B
1	0
A	0
	0

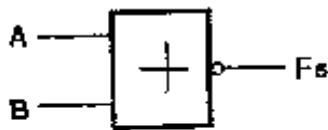


图 2.5

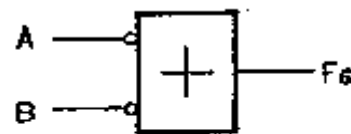


图 2.6

6. “非或”门 (先“非”后“或”)

符号: 见图2.6。

布尔式: $F_6 = \overline{A} + \overline{B}$

(6)

真值表:

A	B	F_6
0	0	1
0	1	1
1	0	1
1	1	0

矩阵:

F_6	B
1	1
A	1
	0

7. “异或”门

符号: 见图2.7。

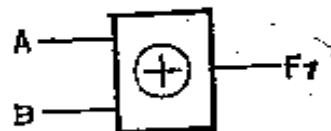


图 2.7

布尔式: $F_7 = A\overline{B} + \overline{A}B$

(7)

上式说明，如果 A 、 B 两个输入是相异的，则 $F_7 = 1$ ；如果 A 、 B 相同，则 $F_7 = 0$ 。

真值表：

A	B	F_7
0	0	0
0	1	1
1	0	1
1	1	0

矩阵：

		B
F_7		
	0	1
A	1	0

(二) 几点说明

1. F_1 至 F_6 是一些基本门电路。一般门电路（包括 F_7 ），就是用基本门电路组合而成的。

2. 本章涉及的门电路，限于用 F_1 （“非”门）及 F_3 （“与非”门）组成的电路。

3. 从真值表及矩阵可以看出 $F_3 \approx F_6$ ，即 $\overline{A + B} = \overline{AB}$ 。这就是第一章中提到过的“反演律”。

4. 在上面提到的这些最简单矩阵中，每个矩阵只代表一个函数 F ，小格内只填一个码子：0 或 1（也有空白的）。将所有填入 1 的小格的本位值都作为“或”项，就是函数 F 的总值。

例如根据前面给出的“与非”门的矩阵，可以用本位值列出下式

$$F_3 = \overline{A}B + A\overline{B} + \overline{A}B \quad (8)$$

乍看，这个式子与(3)式不同，实际上它们是一样的。推导如下：

$$F_3 = \overline{A}B + A\overline{B} + \overline{A}B = \overline{A}(\overline{B} + B) + A\overline{B}$$

$$= \overline{A} + A \overline{B} = \overline{A} + \overline{B} = \overline{A B}$$

还有另一种推导方法。首先要记住布尔代数中有公式 $A + A = A$ (第一章公式 I), 因此式中任何一项都可以重复叠加, 而不影响整个函数的真值。因此我们有:

$$\begin{aligned} F_3 &= A \overline{B} + \overline{A} B + \overline{A} \overline{B} = A \overline{B} + \overline{A} B + \overline{A} B + \overline{A} \overline{B} \\ &= \overline{B} (A + \overline{A}) + \overline{A} (B + \overline{B}) = \overline{A} + \overline{B} = \overline{A B} \end{aligned}$$

(三)一般门电路举例

【例 1】 图 2.8 是一个常用的“非”门电路。它的布尔式为:

$$F = \overline{1 \cdot A} = \overline{A}$$

(用公式 IV)

【例 2】 与布尔表达式 $F_3 = \overline{A} \overline{B} + A \overline{B} + \overline{A} B$ 直接对应的门电路见图 2.9。这是很复杂的“门”电路,用了六个元件,一

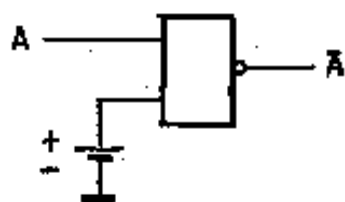


图 2.8

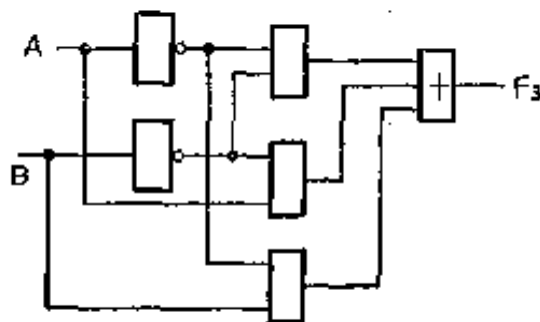


图 2.9

共有十一个引入端。实际上它可简化为只用一个元件、有两个输入端的“与非门”电路,参看图 2.3。

这个例子说明,同一个函数的电路,可以很复杂,也可以比较简单。“门”电路的设计就是尽可能设计出较经济的电路。

电路的质量应从许多方面来考虑。但为简明起见，我们只考虑“门”电路的两个指标：1. 元件的多少；2. 引入端（即所有元件的输入端之和）的多少。

【例3】 前面提到，“异或”门的布尔表达式 F_7 为

$$F_7 = A\bar{B} + \bar{A}B \quad (7)$$

按照(7)式画出的电路如图2.10所示。

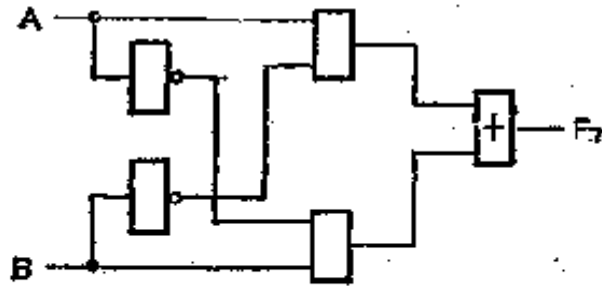


图 2.10

国内集成门电路产品主要是“与非”门。为了用“与非”门组成“异或”门，一般要将布尔式右方进行“否定之否定”，然后再用反演律进行变换，结果可得出

$$F_7 = \overline{A\bar{B}} \cdot \overline{\bar{A}B} = \overline{A\bar{B} \cdot \bar{A}B} \quad (8)$$

这样就可以画出图2.11的“与非”门电路，共用了五个元件，有八个引入端。

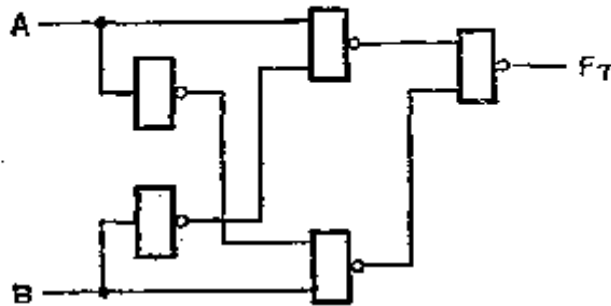


图 2.11

顺便指出，由(7)式和(8)式演化而来的变换公式

$$(X) \quad AB + CD = \overline{\overline{A} \overline{B} \cdot \overline{C} \overline{D}} \quad (9)$$

在“与非”门电路设计上很有用，因为我们经常遇到(9)

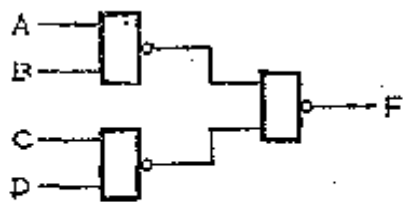


图 2.12

式左边那样的“与—或”式。显然，利用(9)式可以直接从 $F = AB + CD$ 的表达式画出“与非”门电路(如图2.12)，而不必每次作代数推导。我们把(9)式看作一个常用的布尔代数

公式，记为公式(X)。

注意：如果“或”式有简项，例如

$$F = A + CD \quad (10)$$

则根据反演律(公式VI-b)

$$F = A + CD = \overline{\overline{A} \cdot \overline{C} \overline{D}}$$

可得出相应的电路图为图2.13。

如果布尔式是

$$F = \overline{A} + CD \quad (11)$$

则电路图就是图2.14。

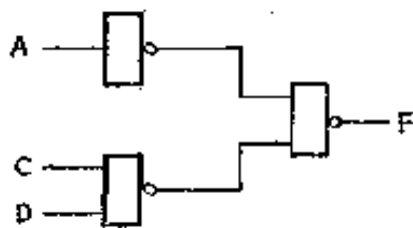


图 2.13

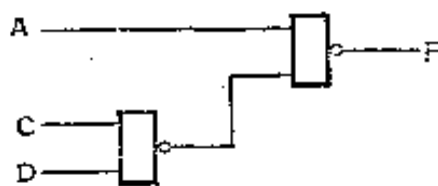


图 2.14

上述从“与—或”布尔式直接转化为“与非”式的简化方法非常重要，可以节省大量劳动力。不过要时常记住(10)及(11)式相应电路图的画法，因为非常容易弄错；还要牢牢记住 $F = AB$ 的

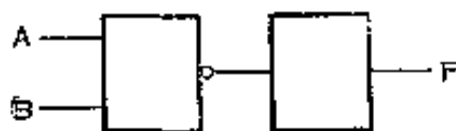


图 2.15

“与非”门电路图是图2.15所示的形式。

要注意利用(9)式进行简化的对象是先“与”后“或”的布尔式，在电路上是以前级“与非”门实现的，不可滥用于三级或更多级门电路。

【例4】“异或”门简化的另一种方法是象下面这样变换布尔式：

$$\begin{aligned}
 F_7 &= A\bar{B} + \bar{A}B \\
 &= A\bar{B} + A\bar{A} + \bar{A}B + B\bar{B} \quad (\text{公式 } A\bar{A} = 0) \\
 &= A \cdot (\bar{A} + B) + B \cdot (\bar{A} + \bar{B}) \quad (\text{提公因子}) \\
 &= A \cdot (\overline{A\bar{B}}) + B \cdot (\overline{\bar{A}B}) \quad (\text{反演律}) \\
 &= \overline{A \cdot (\bar{A}\bar{B}) \cdot B \cdot (A\bar{B})} \quad (\text{反演律}) \quad (12)
 \end{aligned}$$

相应的电路图示于图2.16中。图中共四个元件，八个引入

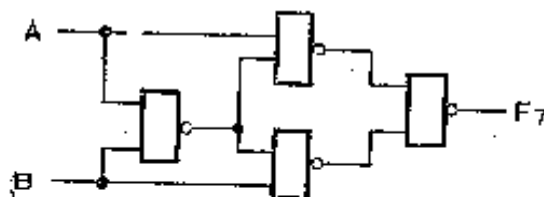


图 2.16

端。从公式上看，(12)式似乎比(8)式要复杂些，实际上，因为可以共用 \overline{AB} 这个元件，所以反而节省了。

习 题

1. 画出下列各式的“与非”门(可带“非”门)的电路：
 - a. $F = A + \bar{B}$
 - b. $Q = \bar{m}A + P$ (输入是 m, A, P , 输出是 Q)
 - c. $A = mP + ma + aP$ (输入是 m, a, P , 输出是 A)
 - d. $Y = r + m\bar{y}$; $Z = m\bar{r}y$ (输入是 m, r, y , 输出是 Y 和 Z)
 - e. $A = m + \bar{b} + ac$; $B = m + \bar{a} + \bar{b}d$ (输入是 m, a, b, c, d , 输出是 A, B)

2. 简化下列各式:

a. $F = A \overline{B} C + A \overline{B} \overline{C}$

b. $F = A (B C + \overline{B} \overline{C}) + A (\overline{B} C + B \overline{C})$

c. $F = \overline{B} + A \overline{B} D$

d. $F = A B + \overline{A} C + \overline{B} C$

e. $F = A B + \overline{B} C + A C$

f. $F = ps + pqr + prs + qr \overline{s}$

答案:	$F = ps + qr \overline{s} + pqr$	(用公式Ⅵ)
	$= (ps + qr \overline{s} + pqr) + pqr$	(用公式Ⅹ)
	$= ps + qr \overline{s} + pqr$	(用公式Ⅲ, 再
	$= ps + qr \overline{s}$	用公式Ⅹ)

3. 证明下列五个常用公式:

a. $A B + A \overline{B} = A$

b. $A + A B = A$

c. $A + \overline{A} B = A + B$

d. $A B + \overline{A} C + B C = A B + \overline{A} C$

e. $a \overline{b} = a \cdot \overline{ab}$

第三章 卡诺图解法及 组合电路设计

组合电路是一种相对地处于稳态的电路。它的输出完全由输入信号的状态所决定。而与输入信号的时序无关。输入、输出信号的持续时间相对地说比较长、有别于脉冲信号，一般称为电压信号。以上的门电路—例如“异或”门电路—都是这种电路。

卡诺图解法是组合电路设计的一种工具。下面举例来逐步说明这种设计方法。

(一) 二元矩阵

【例 1】 给定一个以二元矩阵形式表示的函数，如图 3.1 所示。试求出与它相应的较简单的电路。所谓较简单的电路是指所用元件较少，而且引入端也较少的电路。

我们用卡诺图解法解这个例题。象图 3.2 那样，在任何函数值为 1 的相邻的两个小方块上，画一个圈。这个圈内的函数是两个方块的本位值之“或”，即

$$F = A\bar{B} + AB$$

此式可根据公式区简化为： $F = A$ (1)

同样可以另外画一个圈，如图 3.3。而这个圈内的函数

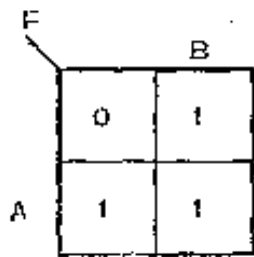


图 3.1

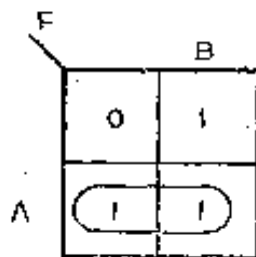


图 3.2

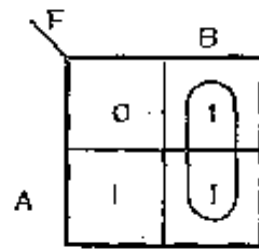


图 3.3

是：

$$F = \overline{A}B + AB = B \quad (2)$$

可以看出第一个圈全部在本位值 $A = 1$ 这一行内，但一个方块处于 $B = 0$ 这一列，一个处于 $B = 1$ 这一列。由于 $B + \overline{B} = 1$ ，所以(1)式中 B 就消失了。同理，第二个圈内的 A 也必然消失。

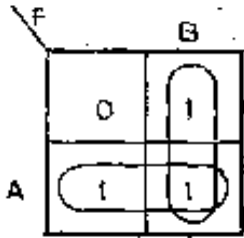


图 3.4

上述卡诺图化简法的基本要求，是矩阵中相邻两个小格的本位值必然有些变元是同值，而有一个变元是异值。在列出圈内的函数时，可以只记下同值的变元而略去异值的变元。

为了求得整个矩阵的函数，在矩阵上同时画两个圈，如图 3.4 所示。得出函数是：

$$F = A + B \quad (3)$$

右下角小格圈了两次无关紧要，因为 $A + A = A$ 。当然，矩阵函数（或输出）必须包括全部标明为 1 的方格。

(3) 式就是第二章中的(4)式，即“或”门的布尔表达式。第二章中曾用代数方法简化了“或”门函数 F 矩阵的本位值式。而现在我们用卡诺图化简法解决了同一问题。这两个方法是相辅相成的。本书主要采用图解法。

(二) 三元矩阵

【例 2】 给定真值表如表 3.1，试设计与真值表符合的电路。表内的 E 、 B 、 Z 是输入信号， F 是输出信号。

将真值表列为矩阵形式，我们得到了图 3.5。图中 E 、 B 括号下各列的本位值是 1，括号外各列本位值是 0。矩阵小格

表 3.1

E	B	Z	F
0	0	0	1
0	0	1	1
0	1	1	0
0	1	0	0
1	1	0	0
1	1	1	1
1	0	1	1
1	0	0	1

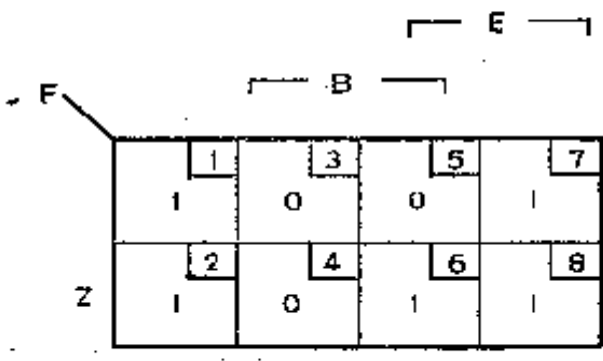


图 3.5

右上角加注号码，是为了说明用的编号。每一个小格的本位值见表3.2。

表 3.2

小格编号	1	2	3	4	5	6	7	8
小格本位值	$\bar{E}\bar{B}\bar{Z}$	$\bar{E}\bar{B}Z$	$\bar{E}B\bar{Z}$	$\bar{E}BZ$	$E\bar{B}\bar{Z}$	$E\bar{B}Z$	$EB\bar{Z}$	EBZ

举例说：小格1内的本位值是 $E = 0, B = 0, Z = 0$ ；小格3内的本位值是 $E = 0, B = 1, Z = 0$ ；小格6内的本位值是 $E = 1, B = 1, Z = 1$ 。

总之，在图3.5中上面一行的小格中 $Z = 0$ ；在下面一行的小格中 $Z = 1$ 。左起第一列和第二列的小格中 $E = 0$ ；左起第三列和第四列的小格中 $E = 1$ ；左起第一列和第四列的小格中 $B = 0$ ；左起第二列和第三列的小格中 $B = 1$ 。

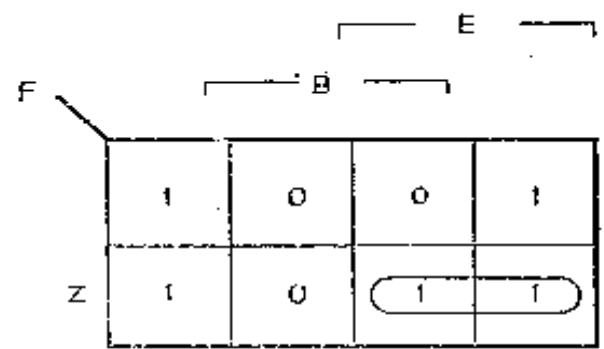


图 3.6

应该注意到各列从左起的 EB 值依次是00、01、11、10，这种编码称为格雷循环码。它的特点是任何相邻的两码之间只有一位互异，而

且编码首尾可联成一环。采用这种编码便于进行图解。当然还有其他符合上列要求的循环码。

现在就用卡诺图法对原题矩阵进行图解。我们先象图3.6中示出的那样画一个圈，圈内的函数是

小格编号
 $\underbrace{\quad\quad\quad}_{0 \quad\quad\quad 8}$

$$F = E B Z + E \bar{B} Z = E Z (B + \bar{B}) = E Z$$

实际上不必列出公式。只要根据下列原则即可直接写出结果：

1. 任何变元在两小格的本位值相同，则保留；
2. 任何变元在两小格的本位值互异，则略去。

这就是卡诺图解法的基本方法。

另一个圈的画法如图3.7。前面说过，格雷码是首尾可以相连的。因此按格雷码编码的矩阵，也可以首尾连接。因为首尾四个小格中的函数都是1，所以可以将四个小格圈起来（同理，在适当情况下，可以圈住任何“2的幂”个小格）。这四个小格的本位值中，只有 \bar{B} 固定不变，而 E 及 Z 都是一正一非。因而可以直接写出圈内的函数公式为 $F = \bar{B}$ 。

对整个矩阵来说，函数（即输出）就是：

$$F = E Z + \bar{B} \quad (4)$$

根据前一章的介绍，我们不难画出与图2.14一样的电路图

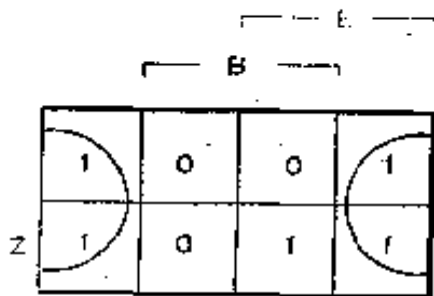


图 3.7



图 3.8

(图3.8)。

【例3】 给定输入为 m 、 A 、 B 三元，而输出为 Q 、 P 二元的矩阵如图3.9所示，画出相应的线路图。

现在每个小格内有两个函数值，左边的代表 Q 值，右边的代表 P 值。 Q 、 P 两个输出应分别进行图解。先将 Q 值单独画一个矩阵，如图3.10所示（甲，乙相同，只是边标写法不一样）。

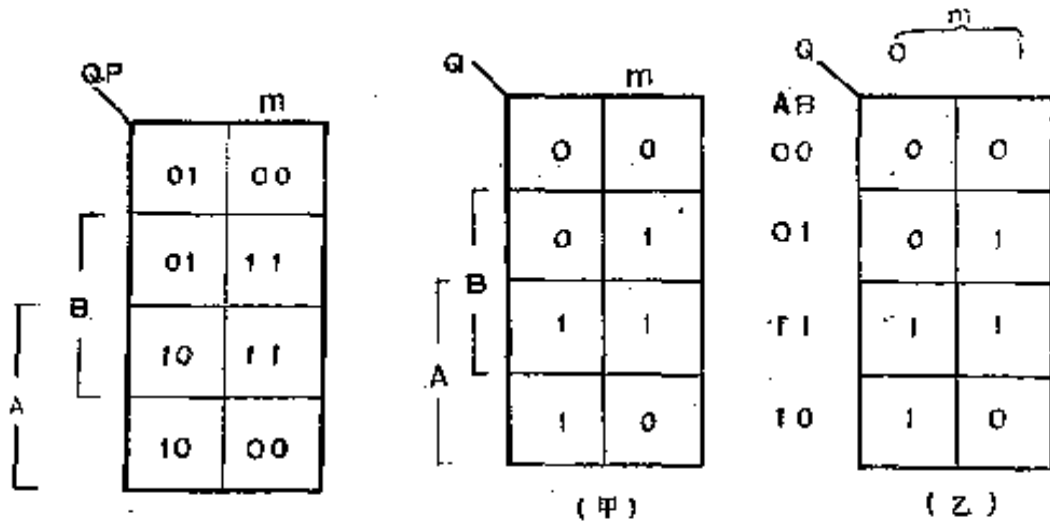


图 3.9

图 3.10

样)。

从图3.10(乙)这个矩阵可以看出， A 、 B 两个输入信号是按格雷码排列的，图解这个矩阵比较容易，可得出（参看图

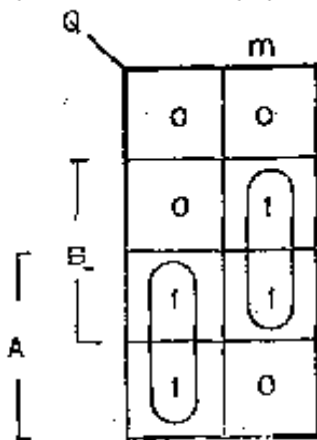


图 3.11

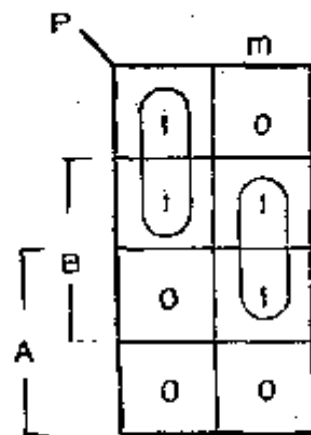


图 3.12

3.11) ;

$$Q = m B + \overline{m} A \quad (5)$$

类似地，由图3.12可得出：

$$P = m B + \overline{m} A \quad (6)$$

相应于(5)及(6)式的电路图是图3.13(用公式Ⅷ，见第14页)。图中7/12表示共用七个元件，有十二个引入端。

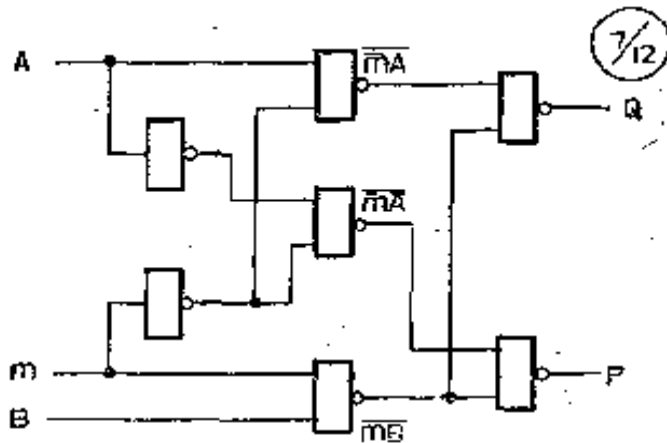


图 3.13

(三) 四元矩阵

【例4】 给定输入为 m 、 A 、 B 、 C ，而输出为 X 、 Q 、 P 的四元矩阵如图3.14，画出相应的电路图。

从图3.14(乙)可以看出， ABC 是按格雷码排列的，而矩阵外左侧每个三位码标明了相应各行的本位值。请对照下面两个矩阵，仔细检查一遍。

现在分别画出 X 、 Q 、 P 三个输出的矩阵，如图3.15所示。

这个矩阵没有完全填满，有些小格是空白的，没有函数值。这是常见的现象。在图解时，可以根据最有利的情况，在

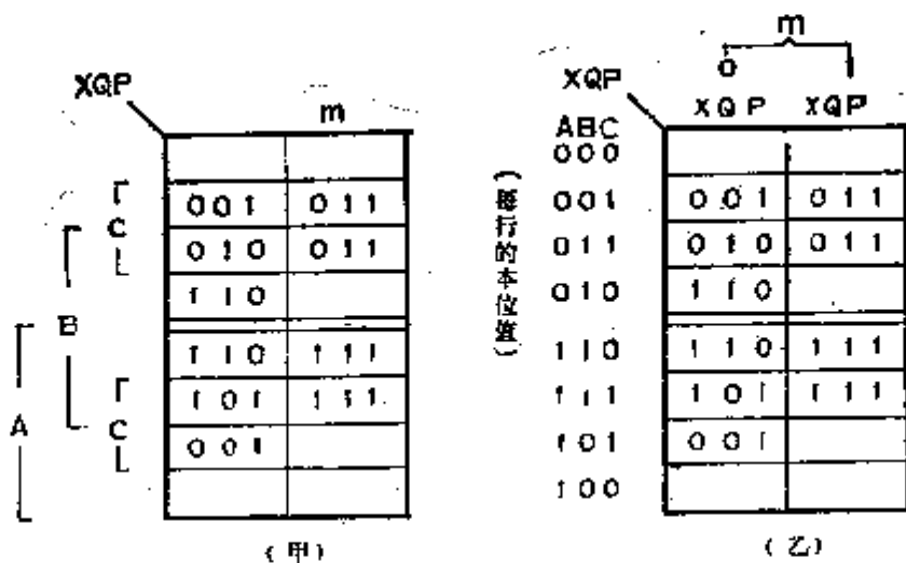


图 3.14

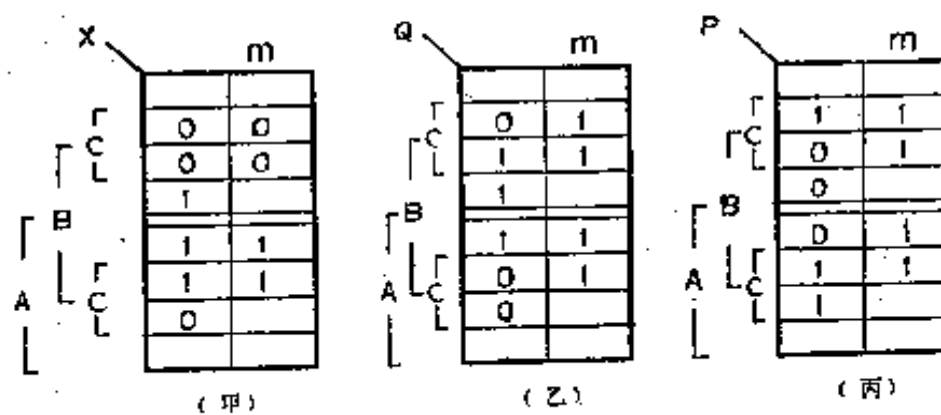


图 3.15

这种空白格中填任意值。这样做会给简化电路带来很多方便。

X函数的第一个圈是容易画出的，见图3.16(甲)。

第二个圈可以象图16(乙)那样画

图3.16(乙)已经将右列第四个小格任意地指定为1了。但图3.17中示出的画圈方法还可能设计出更经济些的电路，画法是将最上一行与最下一行的空白格子包括在圈内，认为这些空格中都有1。这样做的根据是：按格雷码的规则，第一行可以跟第四行联接；第四、第五行是相邻的行，而第五行又可以跟

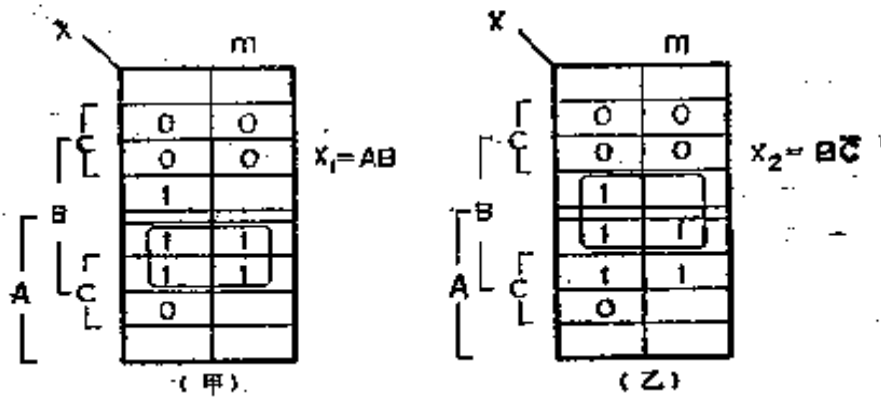


图 3.16

第八行联接，第八行又可以跟第一行联接。因此这个圈就可以包括第一、第四、第五、第八四行。将圈内小格的函数都定为 1，这个函数就是：

$$X_2 = \overline{C}$$

两个圈加起来得出

$$X = X_1 + X_2 = AB + \overline{C} \quad (7)$$

Q 的矩阵可以画三个圈，见图

3.18。

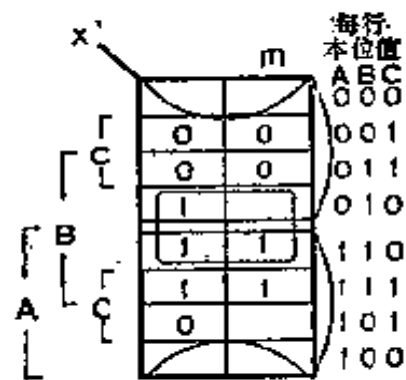


图 3.17

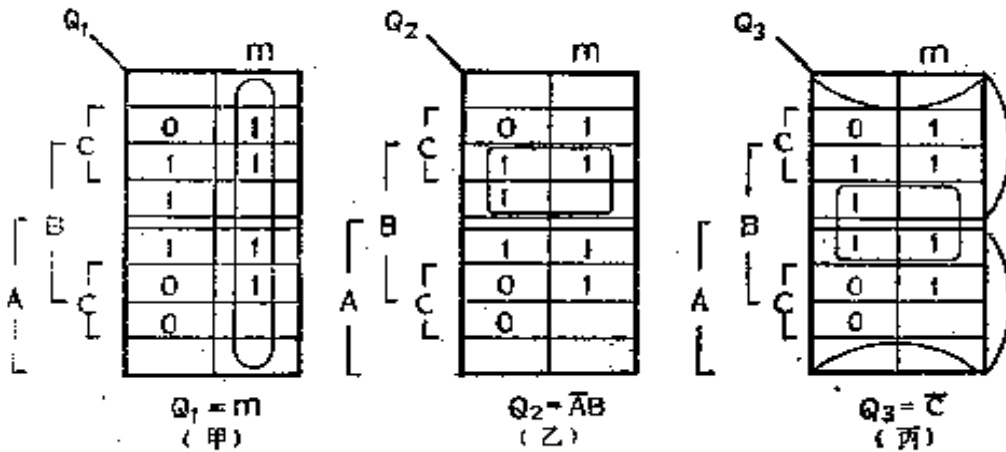


图 3.18

进而得出

$$Q = Q_1 + Q_2 + Q_3 = m + \overline{A}B + \overline{C} \quad (8)$$

类似地， P 的矩阵可以画图3.19示出的三个圈来图解（注意按格雷码的规则，第二行001可以跟第七行101联接）。

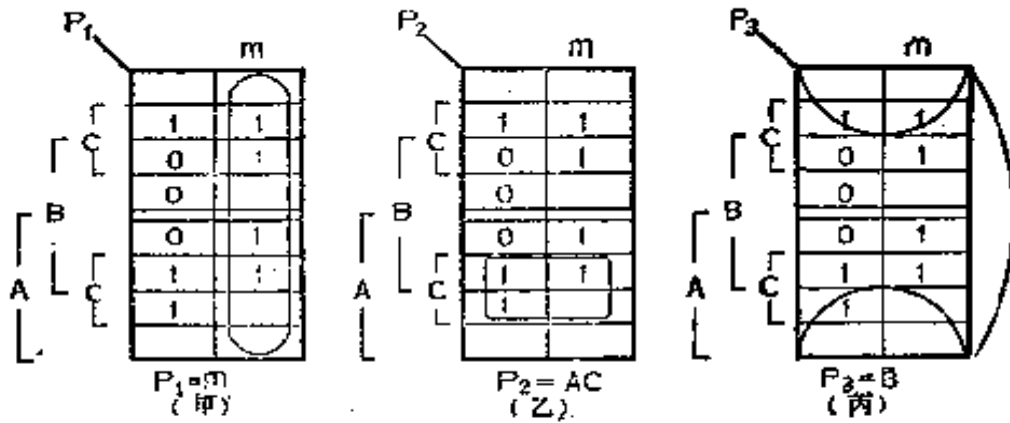


图 3.19

$$\therefore P = m + AC + \overline{B} \quad (9)$$

结合(7)式至(9)式三个公式，我们得到

$$\begin{cases} X = AB + \overline{C} \\ Q = m + \overline{A}B + \overline{C} \\ P = m + AC + \overline{B} \end{cases}$$

这样设计出的电路图，如图3.20所示。

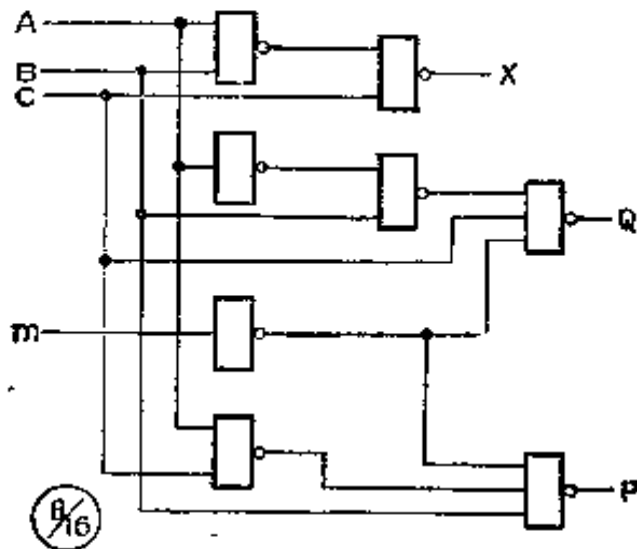


图 3.20

(四) 五元矩阵

【例 5】 给定下列五元矩阵 (图 3.21), 画出它的电路图。

图解时可以画三个圈, 如图 3.22 所示。

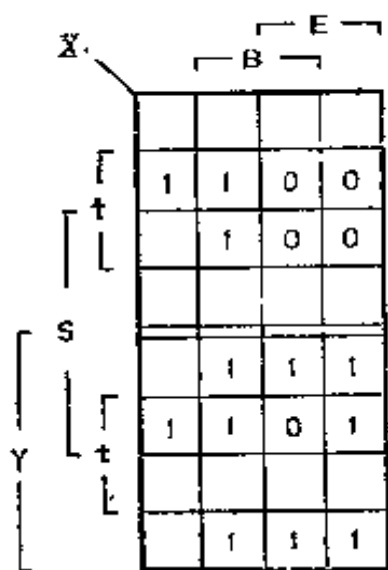


图 3.21

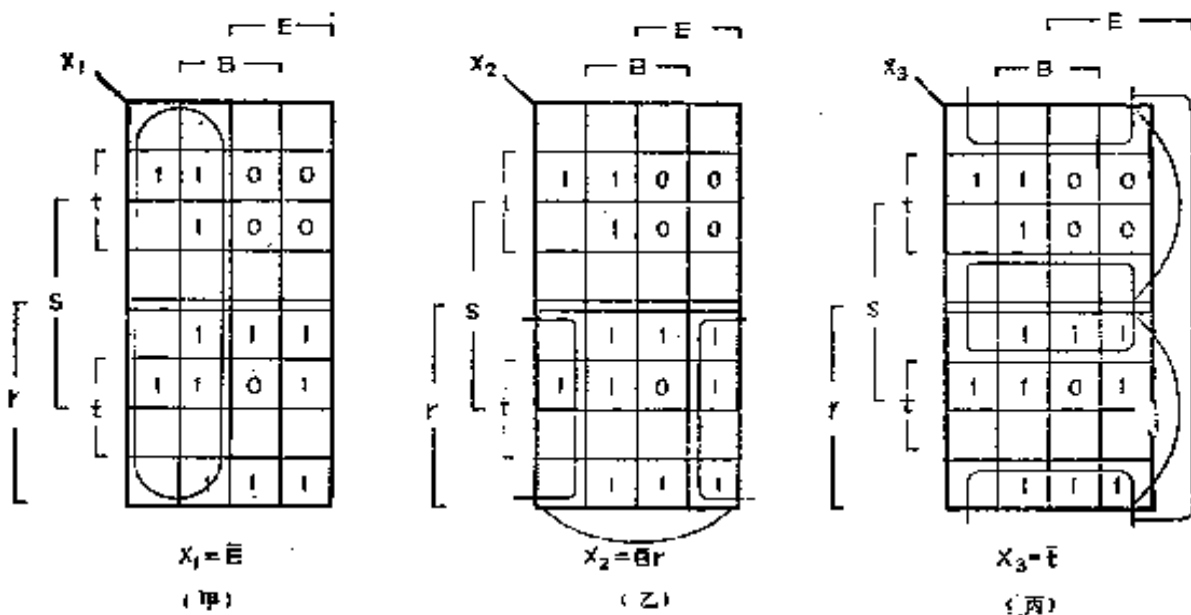


图 3.22

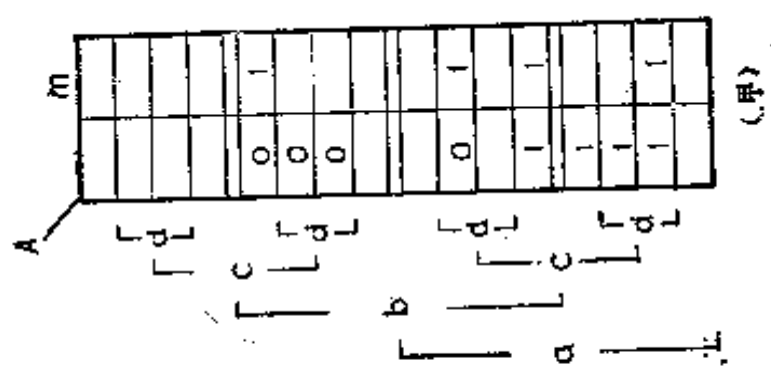
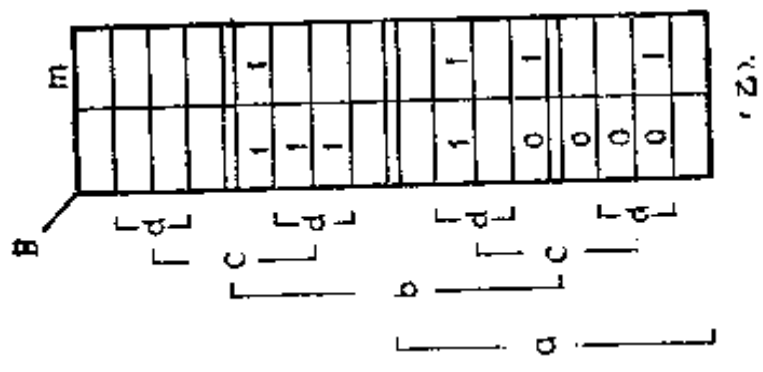
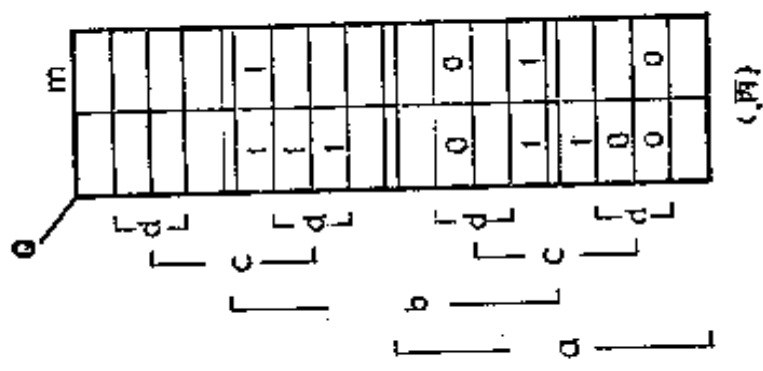
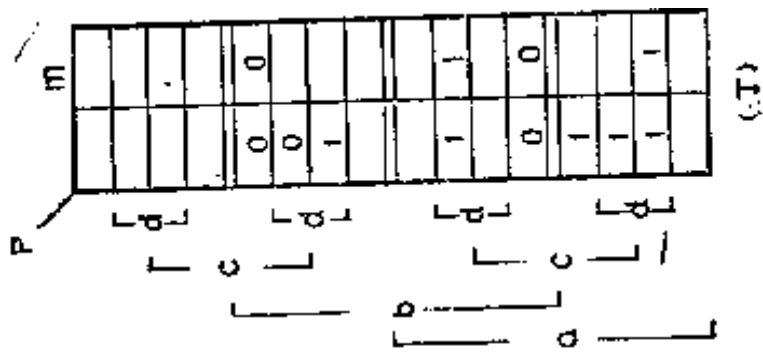


图 3.26

种连接方式。不过要记住,卡诺圈内无论行或列都只能有 2^n ($x = 0, 1, 2, \dots$) 个格雷码。

分别列出 A 、 B 、 Q 、 P 四个输出函数的矩阵可得到图 3.26。

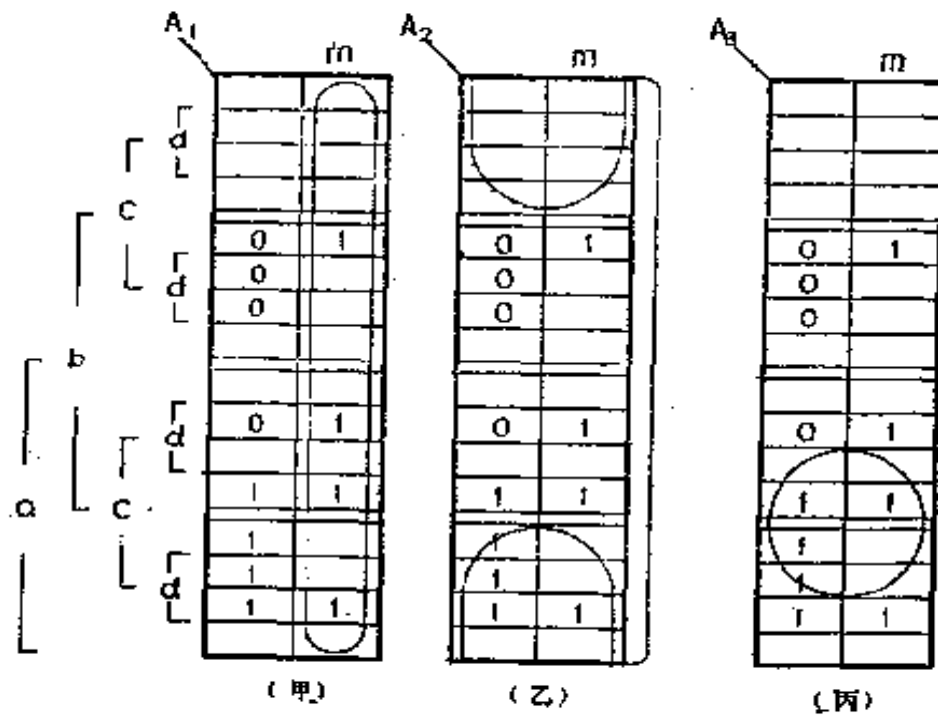


图 3.27

图 3.27 图解了 A 函数。得出

$$A_1 = m$$

$$A_2 = \overline{b}$$

$$A_3 = ac$$

∴

$$A = A_1 + A_2 + A_3$$

$$= m + \overline{b} + ac$$

(11)

A_3 这个圈也可以象图 3.28 那样画, 得出

$$A_3 = a\overline{d}$$

这样就有

$$A = m + \overline{b} + a\overline{d}$$

(12)

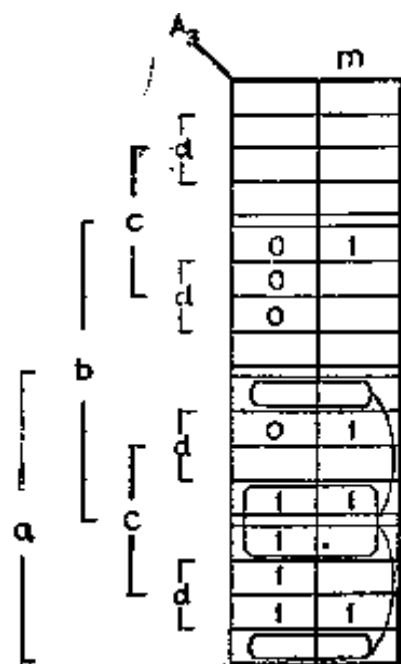


图 3.28

B 函数的卡诺图解见图3.29。 Q 函数的卡诺图解见图3.30。

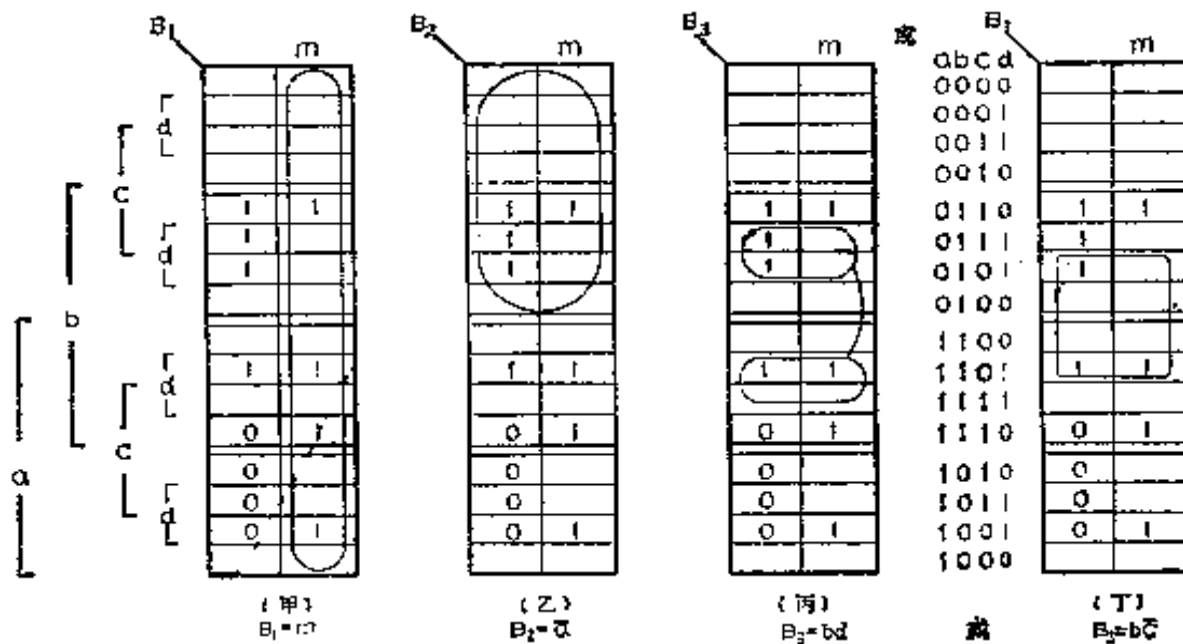


图 3.29

P 函数的卡诺图解见图3.31。读者不难自己写出 B 、 Q 、 P 的布尔表达式。

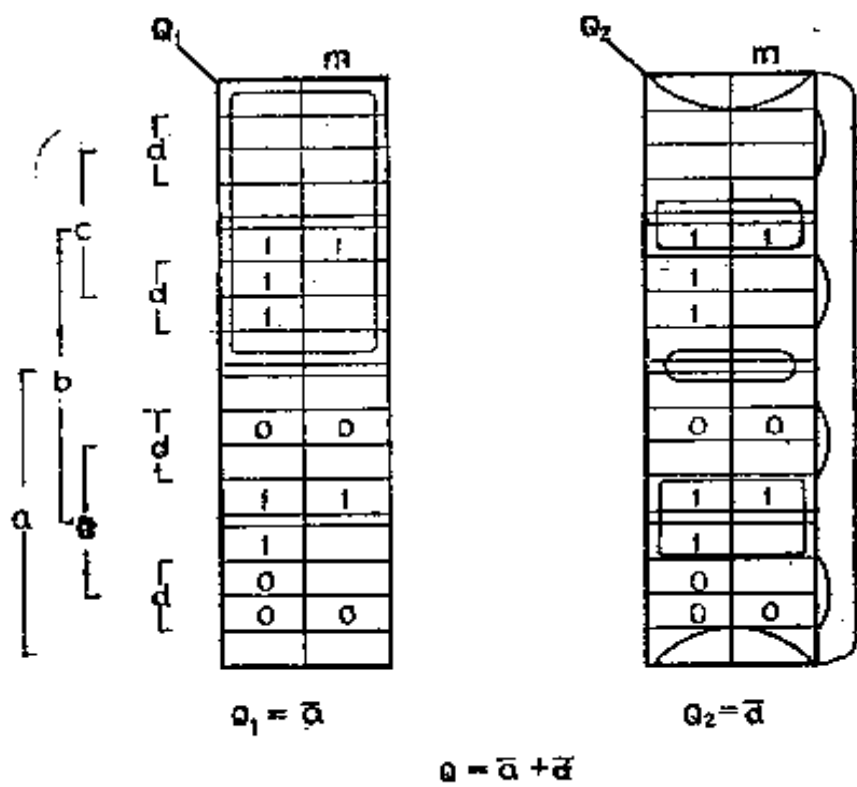


图 3.30

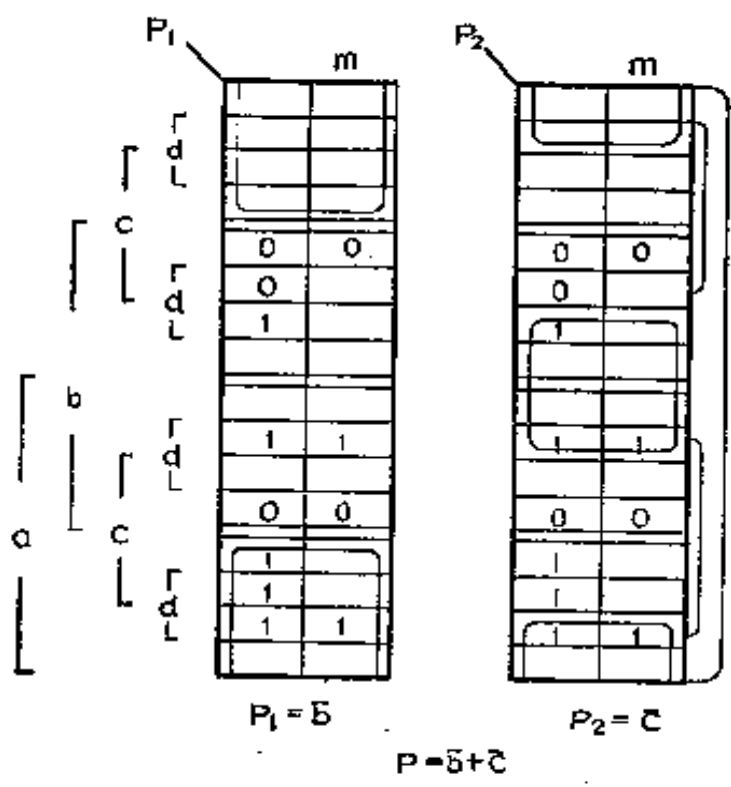


图 3.31

综合起来，布尔式为，

$$\begin{cases} A = m + \bar{b} + ac \\ B = m + \bar{a} + bd \\ Q = \bar{a} + \bar{d} \\ P = \bar{b} + \bar{c} \end{cases} \quad (13)$$

相应电路见图3.32。

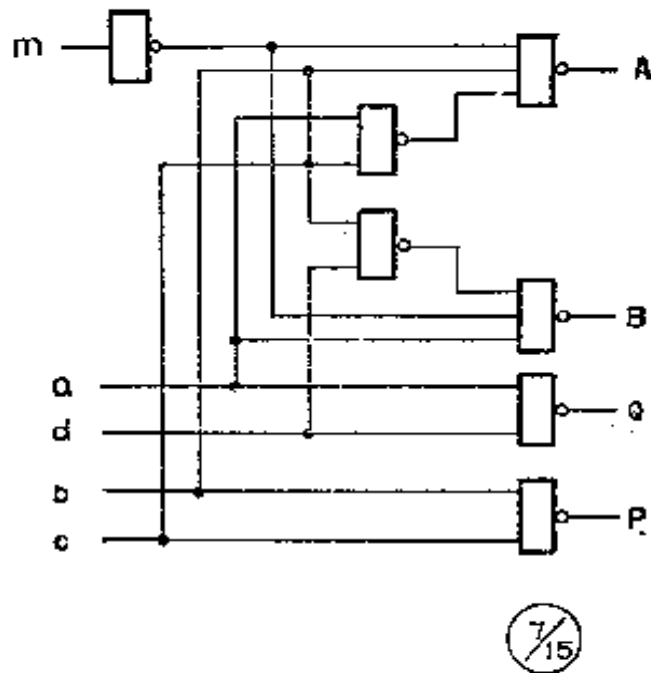


图 3.32

(五) 实 例

最后再举一个实际的例子。

【例 7】某数据处理机，具有磁带记录的录制及重放的性能。信息可以录在磁带上，以后在需要时重放出来。因此该机数据显示有两种模式：人工直接操作显示及磁带数据重放。磁带数据重放之前应先按一个控制钮，发出一个重放控制信号。发出重放控制信号时，应使人工操作无效。根据这些要求，设计出真值表如表3.3所示。其中 A 代表重放控制信号，B 代表磁带重

放控制输入， C 代表人工操作数字输入， F 代表数据输出，相应的矩阵见图 3.33。布尔式为 $F = AB + \overline{A}C$ 。设计出来的电路，与原机线路相符，参见图 3.34。

表 3.3

A	B	C	F
0	0	0	0
0	0	1	1
0	1	1	1
0	1	0	0
1	1	0	1
1	1	1	1
1	0	1	0
1	0	0	0

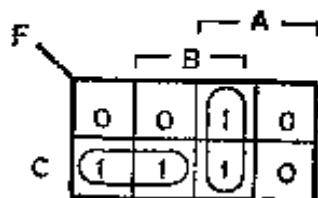


图 3.33

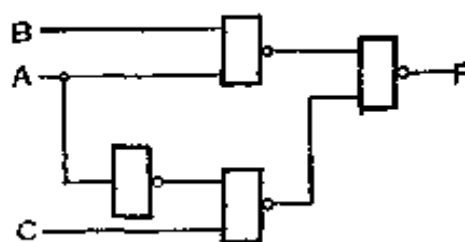


图 3.34

习 题

画如图 3.35 所示矩阵的电路图（参看例 4）。

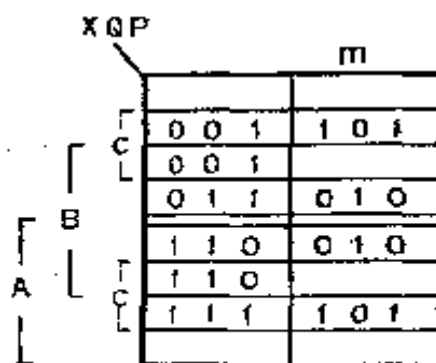


图 3.35

第四章 “与非”门时序电路设计

和组合电路不同，时序电路的输出不仅与输入信号的状态有关，而且与输入信号的时序（先后次序）有关，即不但与当前的输入信号状态有关，而且也过去的输入信号状态有关。可以说，时序电路应设法记住过去的信号状态。为此，电路中必须有记忆单元。

时序电路的输入、输出，可能是电压信号（即持续时间较长的信号），也可能是脉冲信号。本章涉及的“与非”门时序电路只考虑电压信号。即使是一般的脉冲信号，也扩展作为电压信号来分析。

本章讨论“与非”门时序电路。重复说明一次，所谓“与非”门电路，就是专用“非”门及“与非”门作为元件的电路。

（一）设计方法

先对记忆元作一点说明。在门电路中，记忆功能主要是用反馈方式取得的。举一个最简单的例子说明。先看布尔式为

$$B=r+s \quad (1)$$

的“或”门组合电路。 r 和 s 是输入信号， B 是输出信号。上式的“与非”门电路如图4.1所示。

假定 r 、 s 的初始状态是00，则 B 的状态也是0。当 r 作上下波动时，电路输出端 B 的波形是随 r 而起落的，请参看图

4.2.

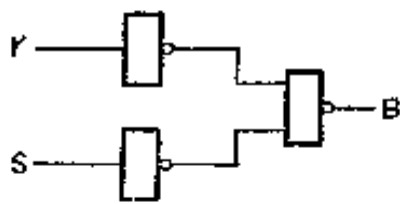


图 4.1



图 4.2

现在加上反馈，将电路接成图4.3的形式。在此电路中， b 不是输入信号，而是电路中的反馈信号。仍旧假定电路初始状态为 $rbB=000$ ，则在 $r \uparrow \downarrow$ （用 \uparrow 这个符号代表变元从0变到1；符号 \downarrow 代表变元从1变到0。下同）时，电路状态的变化情况如表4.1中所示。

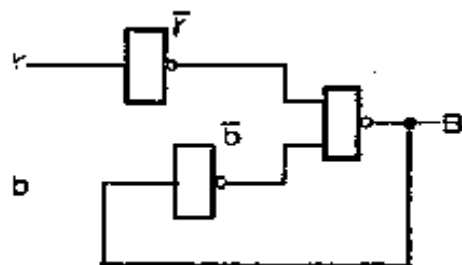


图 4.3

表 4.1

稳态序号 (按时间先后)	r	\bar{r}	$b = B$	\bar{b}	B
①	0	1	0	1	0
②	1	0	1	0	1
③	0	1	1	0	1

为简便起见，可以将每个变元每步的变化直接写在电路上，如图4.4所示。而电路输入、输出波形示于图4.5。波形特点是 B 随 $r \uparrow$ 而 \uparrow ，但不随 $r \downarrow$ 而 \downarrow ，而保持为1。这样，可以说用 $B = 1$ 这个信号来记忆“ r 曾经出现过”这一过去的事实。

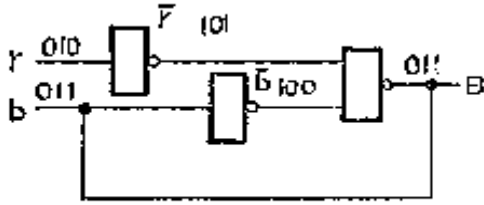


图 4.4

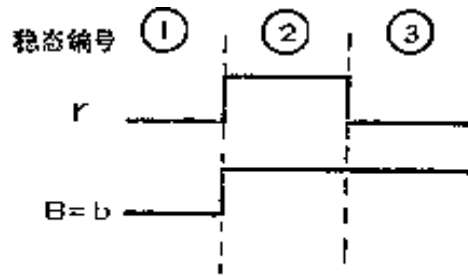


图 4.5

$B \rightarrow b \rightarrow B$ 这个反馈组合就形成了一个记忆元。

参考第二章介绍过的内容，我们不难画出图4.1所示组合电路的矩阵为图4.6。这个矩阵的含义是清楚的，顶标 r 及边标 s 表示输入信号的状态，每个小格的不同位置表明输入信号 r 、 s 状态的不同组合，这种组合称为小格的“本位值”。例如，左上小格的本位值就是 $rs=00$ ，等等。小格内填的码子是输出 B 的“函数值”。函数值可用小格的本位值直接代入布尔式(1)求出，也可从电路上看出。本位值是一成不变的，函数值由电路决定，也应该是稳定不变的。

对于图4.3这种记忆电路，是否也可以画矩阵呢？这是读者很自然地要提出的问题。我们不妨先仿照图4.6画一个试试，结果画出图4.7。不过在这个矩阵上， b 不是输入信号，而是反

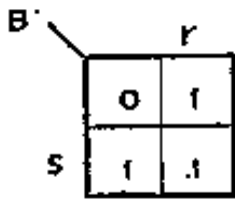


图 4.6

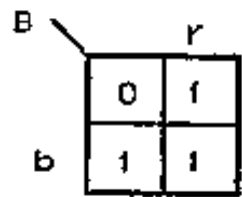


图 4.7

馈信号，应该和 B 的函数值一致。在图4.7这个矩阵里，下面两格及左上小格中， B 的“函数值”跟 b 的“本位值”是一致的，电路可以稳定在这些状态下，我们称之为“稳态格”。但是右上小格的情况特殊，在本位值 $rb=10$ 的情况下， B 的函数

值为1，这样就出现 $B \neq b$ 而与电路矛盾。为了解决这个矛盾，就必须使 $b = B$ ，这就是说，整个电路状态就要按照 B 的函数值所示的方向移入一个稳态格，即移入右下格，在这里，电路总的状态就稳定了。电路状态从非稳态格移入稳态格的过程可用箭头来表示，这种移动是电路引起的，是由电路唯一决定的流程。

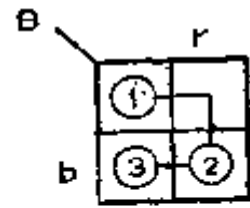


图 4.8

为了表达整个表1的时序变化，可以将表1的稳态编号填入矩阵，并加画流程，如图4.8所示。编了号的状态都是稳态，分别填在各自的稳态格内。电路状态的时序变化总是由输入信号的状态变化引起的。电路的初始状态处在本位值为 $rb=00$ 的左上格内。当 $r \uparrow$ 时，电路总状态立即跳入右上格。由于电路上所有元件在改变状态时，都有一定的时延 t_d ，在 r 上升的一瞬间流程从左上格移到右上格是必然的，在那一瞬间 B 仍为0， B 与 b 也暂时没有矛盾。但经过 $2t_d$ （因为前后有两个元件）之后， B 的函数值就按电路的规律变为1了。这样，我们可以说，图4.7所示矩阵写的函数值，是 B 在适当个 t_d 后按照电路规律应取之值。如果这个函数与本位值相符，则形成稳态而不动。如果象图4.7右上格填写的函数值那样，与本位值不符，则那一格是非稳态，而流程就必须按照“使 B 的函数值跟 b 的本位值一致”的方向移动。这在图4.8上表示为流程从①经过右上格这个非稳态格，移入②这个稳态格。从②到③是稳态格到稳态格的移动，是一个水平流程。从图4.8中可以明确看出，流程的水平移动由输入信号 r 决定，而流程的垂直移动由电路决定。电路性能是唯一的，因此每小格的垂直接流程只能有一个方向（向上、向下，或稳定不动）。不允许有矛盾的垂直接流程是流程矩阵的一个规律。为了保持这个规律，本书内的时序矩

阵，全部将输入信号列为顶标，而将记忆元本位值列为边标。
如图4.7和图4.8的 b 就代表一个记忆元。

还可以认为本位值在记忆电路内起一种激励作用，而小格内填写的函数值是记忆元在本位值的激励下趋向的函数值。因此本位值也可以称为**激励值**。为了分辨激励值和函数值，本书内的时序电路布尔式一律将“=”号改写为“ \leftarrow ”号，“ \leftarrow ”号左方是变元的函数值，用大写；“ \leftarrow ”号的右方都是激励值，用小写。例如图4.3的布尔式就写作：

$$B \leftarrow r + b \quad (2)$$

式中 r 使 $B \uparrow$ (上升)，而 b 使 B 延续。延续是为了记忆。记忆电路的布尔式的特点，就是式的左右方有相同的字母（用大写和小写区分）。同一字母代表的变元中，小写的激励值跟大写的函数值虽然电路相通，但时间有先后。下面举例说明“与非”门时序电路的设计方法。

【例1】 输入 r 和 s 两个信号，基本上同时出现与消失，

但略有先后变化。要求在 r 先出现、 s 后出现但又先消失的情况下，当 s 已消失、 r 尚未消失这一段时间内，出现一个输出信号 u 。

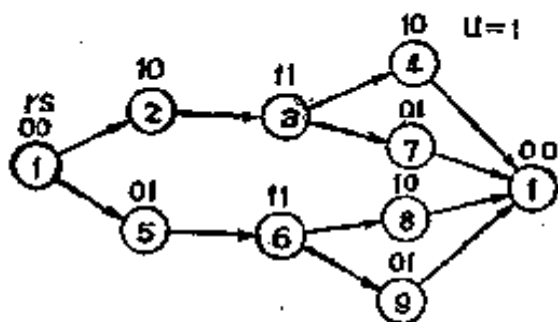


图 4.9

为了分辨 r 和 s 可能出现的不同时序，应采用画流程图

或画波形图的方法。下面介绍画流程图的一种方式。本例的流程图见图4.9。

图中圆圈内的号码就是电路的稳态编号。假定时序流程从稳态 $rs=00$ 开始，编为①号，并将输入信号 r 、 s 的状态写在圆圈的上方。如果 r 先出现，就编为稳态②号，注明 $rs=10$ ；

把 s 随之出现而形成 $rs=11$ 的稳态编为③号；然后将 s 消失再形成 $rs=10$ 的稳态编为④号；如此类推。考虑到 r 、 s 各种不同的时序，即可完成图4.9所示的流程图。图中将 rs 从00到11的流程称为前向流程，从11还原到00的流程称为返向流程。根据原题要求，在编号④的边上注明 $U=1$ ，表示在该稳态时有输出信号；在其他稳态时 $U=0$ 。

从图4.9上可以区别出四种不同流程，即

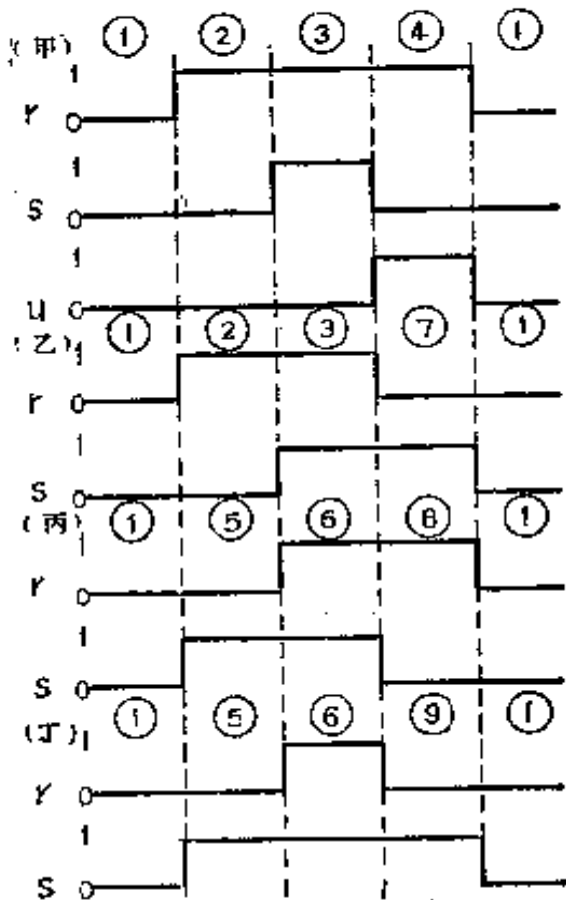
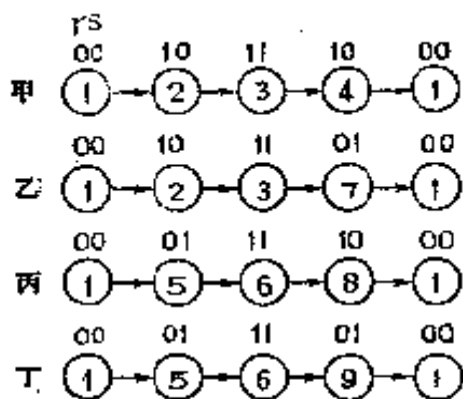


图 4.10

因而可以画出四种种不同时序的波形，如图4.10所示。

我们看到，尽管这是个小题目，稳态就有九种之多。要记忆九种不同状态，三个记忆元 ($2^3=8$) 不够，要四个记忆元。能不能省掉几个记忆元呢？可以的。办法是将某些稳态合并。

可以合并的稳态编号要具备三个条件：

- (1) 输入信号状态相同；
- (2) 输出信号状态相同；
- (3) 向外流程不矛盾。

根据上述条件，稳态⑧可并入②，只要加上从⑥到②的箭头，以及从②到①的箭头。①和②之间有两个方向相反的箭头，并不形成矛盾，因为时序不同。同理，稳态⑦、⑨都可以合并入⑤，只要加上从③到⑤、从⑥到⑤以及从⑤到①的箭头。但是④跟②不能合并，因而⑧跟④也不能合并。这样，流程图就简化为图4.11了。

剩下6个状态编号，只要用A、B、C三个记忆元就够了，下面画出一种初步的稳态编号流程矩阵，——图

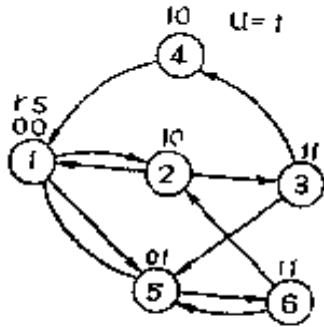


图 4.11

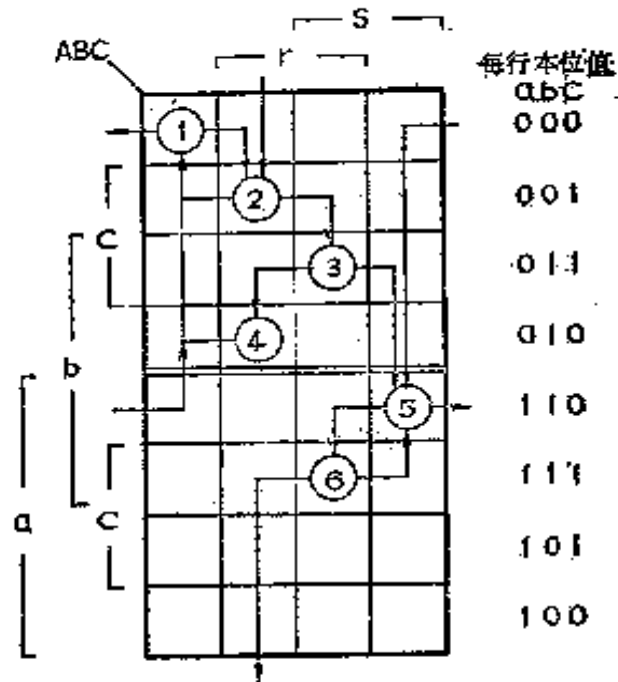


图 4.12

4.12. 各个稳态编号按r、s的状态填入相应的列；填入哪一行则比较随便，只要流程行得通就行。图4.12中的画法是每个稳态占一行，这样，流程总是通的。流程一般每步移入相邻的一格，按照循环码的规律，流程可以从矩阵外、上下或左右连接（参阅第三章例2及例4的说明，见第20及23、24页）。

流程离开稳态，必然是受输入信号的影响。矩阵顶标是输入信号标，因此，流出稳态格的流程，必定要根据输入信号时序，先横行一步，然后按到达格的函数值，作纵向的流动。

图4.12这个流程可用，但记忆元的数目还可压缩。办法是减少记忆状态，即减少行数，进行“行”的合并。行的合并需要具备两个条件：

(1) 稳态不重叠;

(2) 流程畅通, 每小格没有垂直接出向的矛盾(或向上流, 或向下流, 或停住形成稳态, 三者只能居其一)。

根据这两个条件, 可以将记忆状态从六行合并为三行, 画出图4.13所示的矩阵。注意, 这个矩阵的流程有许多是按循环码在矩阵外上下或左右衔接的。还有⑤、⑥这样在同一行上相邻的两个稳态间的流程受输入信号时序的控制, 是可以双向流动的。每格的垂直流程则如前所述, 只能单向。

图4.13是记忆元矩阵, 还要根据它画一个输出函数U的矩阵。输出是在某一个或几个稳态时在某个或某些固定输出端出现的1值。它本身没有记忆作用, 也对记忆元的流程不起影响。所以, 它的布尔式可表示为一个组合电路(布尔式的左右方没有相同的字母)输出矩阵。只要在每个编了号的稳态格内按原题要求填上0或1, 其他格空白, 就得出了输出矩阵, 即图4.14, 然后再用卡诺图解法求出U的函数, 即

$$U = \overline{s} b \quad (3)$$

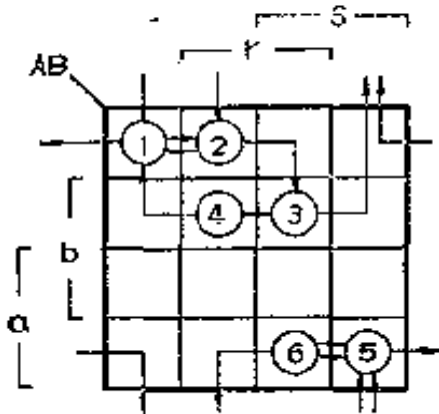


图 4.13

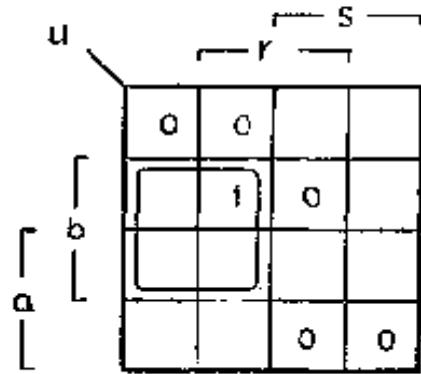


图 4.14

顺便指出, 输出矩阵的最简单形式是单元矩阵, 即直接用某个记忆元(例如A)的值作为输出。此时, 组合电路的布尔式就是 $U = A$ 。

记忆函数矩阵见图4.15(甲)。矩阵每个小格内左码代表记

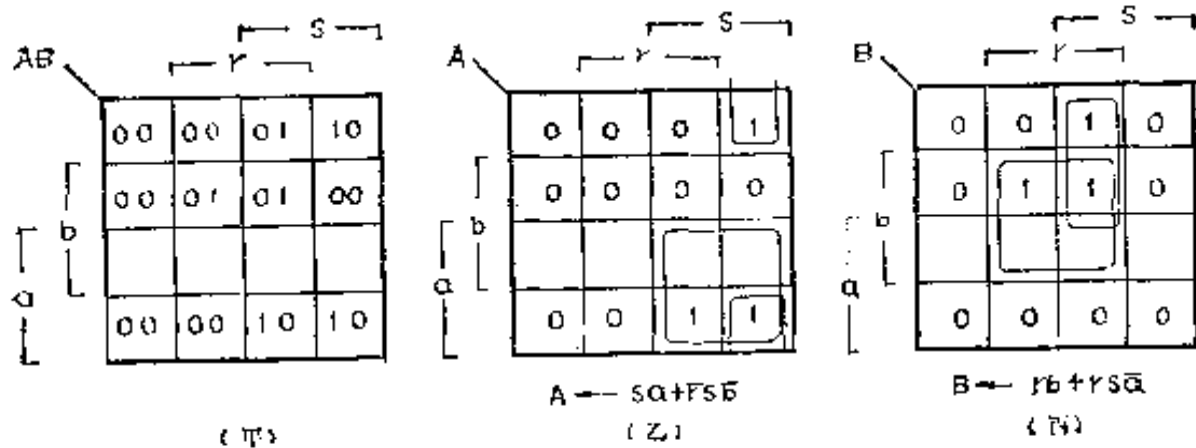


图 4.15

忆元A的函数值，右码代表记忆元B的函数值。它们的排列位置根据左上角的AB的标号。先将稳态小格内的函数值按本位值填好。然后在流程所及的小格内按流程的方向填入“下一格”的本位值。这叫作逐格推进的流程。在图4.13的流程矩阵上，①→⑤、②→③、④→①、⑤→①、⑥→②这五段流程各走两步，先横后竖。③→⑤这段流程要走三步，横一竖二。请注意，流程不经过的小格是空白的。填完后(见图4.15(甲))，再根据这个矩阵分列A、B两个函数矩阵，见图4.15(乙)、(丙)。各自求出布尔式为

$$\left. \begin{aligned} A &\leftarrow sa + \overline{r} s \overline{b} \\ B &\leftarrow rb + r s \overline{a} \end{aligned} \right\} \quad (4)$$

现在再介绍一个从布尔式直接计算电路总指标(即“元件数/引入端数”)的方法。

A式除用 \overline{r} 、 \overline{b} 两个“非”门外，根据公式Ⅷ还要三个“与非”门。同理，B式要 \overline{a} 一个“非”门及三个“与非”门。实现u式除 \overline{s} 一个“非”门外，还需要一个“与非”门及一个“非”门。于是整个电路一共就要五个“非”门，七个“与非”门，共十二个门。由于有两个“与非”门各要三个引

入端，因此电路总指标就是 $\boxed{12/21}$ 。

【例 2】 给定输入信号 r 、 s 及输出信号 u 的波形，如图 4.16 所示。设计满足波形要求的“与非”门电路。

给出了波形，就不必画流程图，而可以直接在波形图上作稳态编号了。对于较复杂的波形图，必须按照例 1 中提出的原则进行稳态编号合并。本例题比较简单，用不着这样做。

图 4.16 实际上就是例 1 的图 4.10(甲)。其真值表示于表 4.2 中。

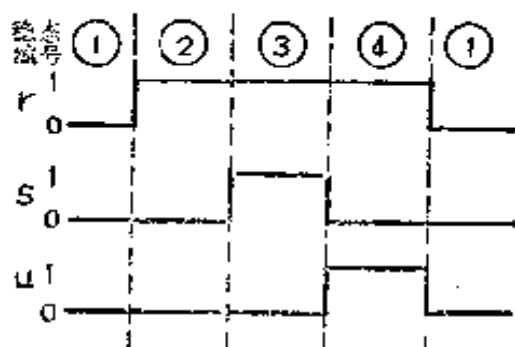


图 4.16

表 4.2

稳态号	r	s	U
①	0	0	0
②	1	0	0
③	1	1	0
④	1	0	1

稳态②与④的输入状态相同而输出不同，因此必须加上记忆信号来区分它们。

由于只有四个不同稳态，用两个记忆元就行了。可以直接画流程矩阵。现在给出两种不同的设计方案。

方案 1： 矩阵的安排见图 4.17。

在这种流程上，输出 U 也可看作是列矩阵。函数 A 、 B 的卡诺图解，也可以直接在图 4.17(乙)上进行，得出布尔方程组：

$$\left. \begin{aligned} A &\leftarrow s + ra \\ B &\leftarrow s + r\bar{a} \\ U &= \bar{s}A \end{aligned} \right\} \quad (5)$$

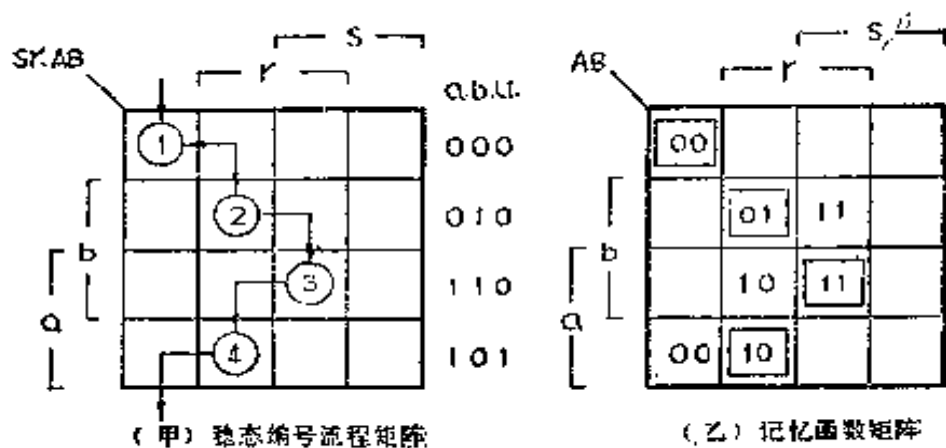


图 4.17

此处 U 是按图 4.14 的办法求出的。按 (4) 式直接计算，电路总指标是 $8/13$ 。

现在介绍一种从布尔方程组直接画波形的方 法，参见图 4.18。

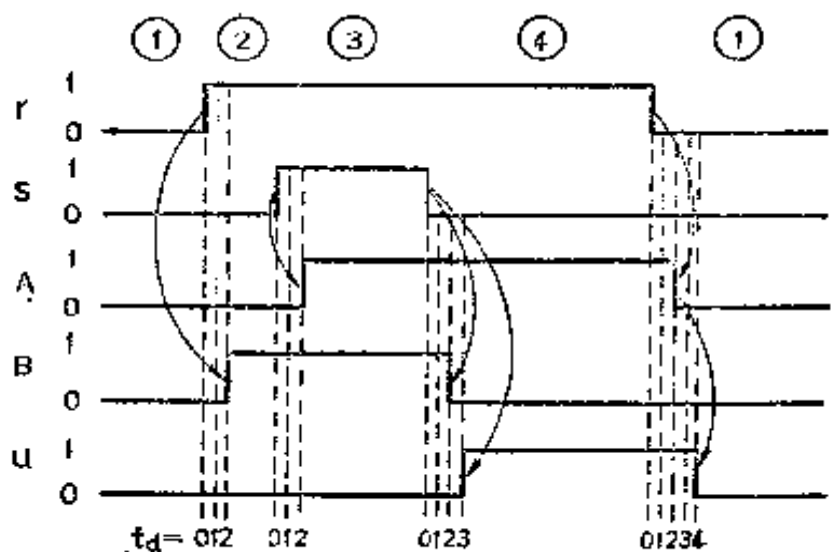


图 4.18

输入信号 r 、 s 的波形已经给定。画全部波形图时，可以适当 地展开一些。记忆元 A 、 B 的波形应按稳态时序 逐步地同时画出，即在一个稳态中画完所有记忆元的波形，然后再画下

一个稳态的波形。两个稳态交接（过渡）时，要考虑每个元件时延的影响。输出 U 的波形可以在记忆元波形全部画好后再画。

从(5)式可以直接看出，在稳态①时， $AB=00$ 。从稳态①转入稳态②（以后简写为①→②）时， A 仍为0，但 B 有 $r\overline{a}$ 一项为1。因为隔了两层元件，所以 $B\uparrow$ 在 $r\uparrow$ 的 $2t_d$ 以后。箭弧表示因果关系。

在②→③时， A 函数在 $s\uparrow$ 的 $2t_d$ 以后 \uparrow （注意式中的 s ，说明电路中有 \overline{s} 这个“非”门，见第二章）。 B 函数在 $A\uparrow$ 时， $r\overline{a}$ 这一项失去作用，但 s 这一项仍能使 B 维持“1”状态而延续下去。由于时延不理想，的确有 $r\overline{a}$ 先消失， s 后起作用的可能，但这样也只是在 B 波形上造成一个缺口，对以后的波形无影响。

在③→④时， A 函数因有 $r\overline{a}$ 这一项，直接延续下去了，没有过渡的问题。 B 函数则随 s 的 \downarrow 在 $2t_d$ 后 \downarrow 。

在④→①时， A 函数在 $r\downarrow$ 后 $2t_d$ 时 \downarrow 。 B 函数始终为“0”。

记忆函数的波形定出后， U 的波形也定了。 U 在稳态④时，在 $s\downarrow$ 后再过三个元件的 t_d 才 \uparrow ，然后在④→①的过渡期，在 $A\downarrow$ 后经 $2t_d$ 而 \downarrow 。与图4.16比起来，图4.18中的 U 波形似乎不太好。实际上图4.18是将元件的时延 t_d 夸大了；真正的波形没有这样不理想。

方案2：在讨论方案1的②→③过渡时曾说过，如果 B 式中 $r\overline{a}$ 这一项先 \downarrow ，则可能引起 B 波形的一个缺口，但对以后的波形无影响，这就使人联想到， B 的 $r\overline{a}$ 这一项究竟起了什么作用呢？仔细分析一下布尔式及波形图，会发现 $r\overline{a}$ 这一部分是多余的，起不了什么作用，不如干脆把它去掉。这样，就得出 $B \leftarrow S$ 这个式子。但这个式子又是多余的，我们可以取 $B =$

S, 或者干脆去掉 B 这个记忆元, 改取下列方程组:

$$\left. \begin{aligned} A &\leftarrow s + ra \\ U &= \overline{s} A \end{aligned} \right\} \quad \textcircled{5/8} \quad (6)$$

这就是新的方案 2。流程矩阵、输出矩阵、电路和波形图分别示于图 4.19~4.22 中。这是一个较好的答案。

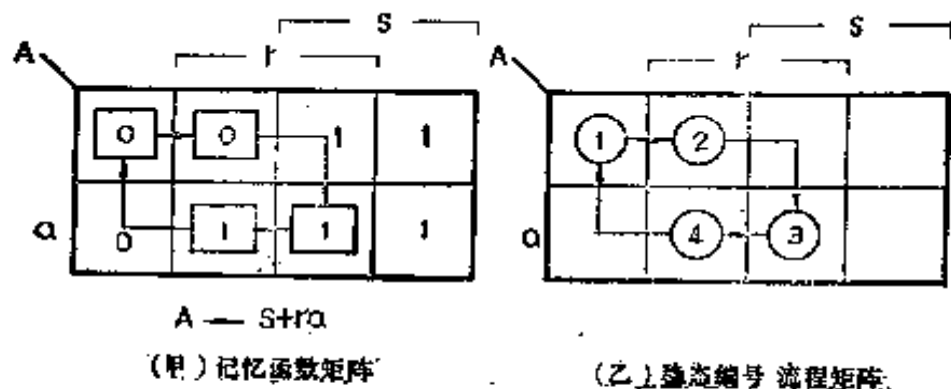


图 4.19

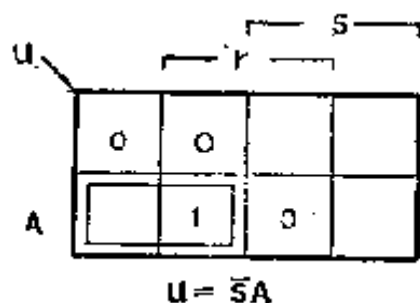


图 4.20

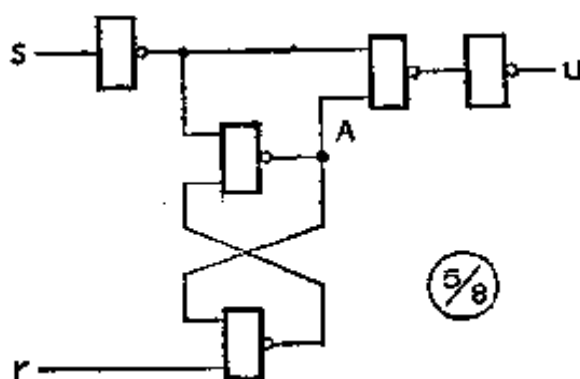


图 4.21

从布尔式方程组 (或从电路, 因为按电路写布尔方程组是不难的) 编流程矩阵的方法是: 先画出一个空白的矩阵, 然后在小格内按规定的记忆元左右次序, 根据记忆函数布尔式填入 1 或 0。这样就会将记忆函数矩阵填满。然后, 先找出稳态格画圈, 再找出输入信号按规定时序变动时的流程。流程离开稳态格时必须先横走一步。图 4.19 甲的流程矩阵就是这样画出来的。

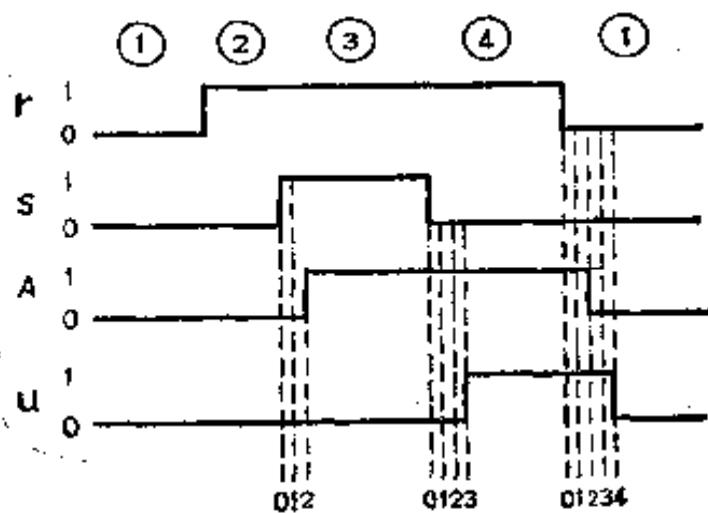
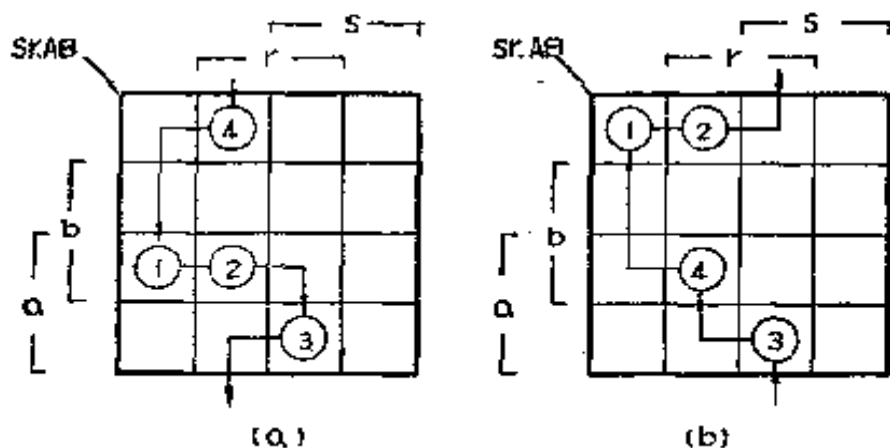


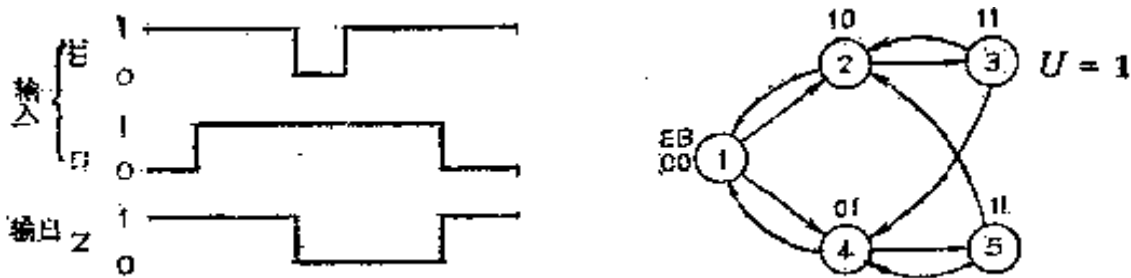
图 4.22

习 题

1. 画出 (i) 例1的总电路图; (ii) 例2 方案 1 的总电路图, 并核对电路总指标。
2. 写出例2中下列两个方案的布尔方程组, 计算“元件/引入端”指标, 并画出波形。



3. 给出下列波形, 求全部设计方案。
4. 给定下列流程图, 求全部设计方案 (参考图4.16的流程)。



(二) 二 进 器

二进制是二进制计数器的简称，应用十分广泛，也有标准的设计。现在为了进一步掌握“与非”门电路的设计方法，进而用这种方法来分析触发器，我们取它作为设计的例子，并讨论得详细些。

1. 概述

二进器的波形一般如图4.23所示。

输出信号 Q 为 1 这一段的位置与持续时间不拘，只要求 m

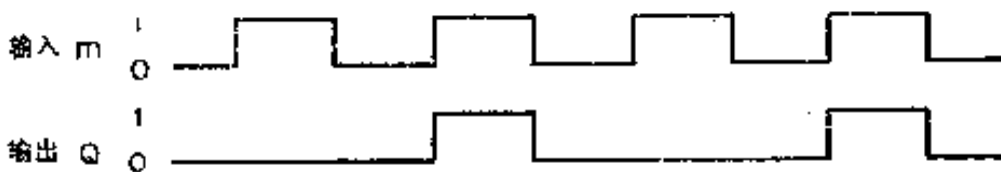


图 4.23

出现两次的期间， Q 出现一次。往往还希望带上一个 $P = \overline{Q}$ 的信号，见图4.24。

二进器的波形有四个稳态，如图4.25所示。

不同的设计波形可以不同，但稳态总是四个。四种状态需要两个记忆元 A 、 B ，可以编许多不同的流程。图4.26中列出四个方案：

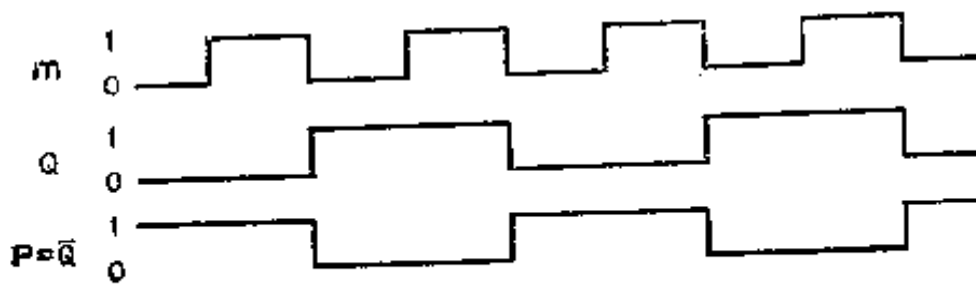


图 4.24

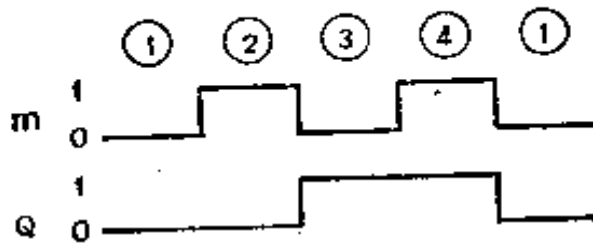


图 4.25

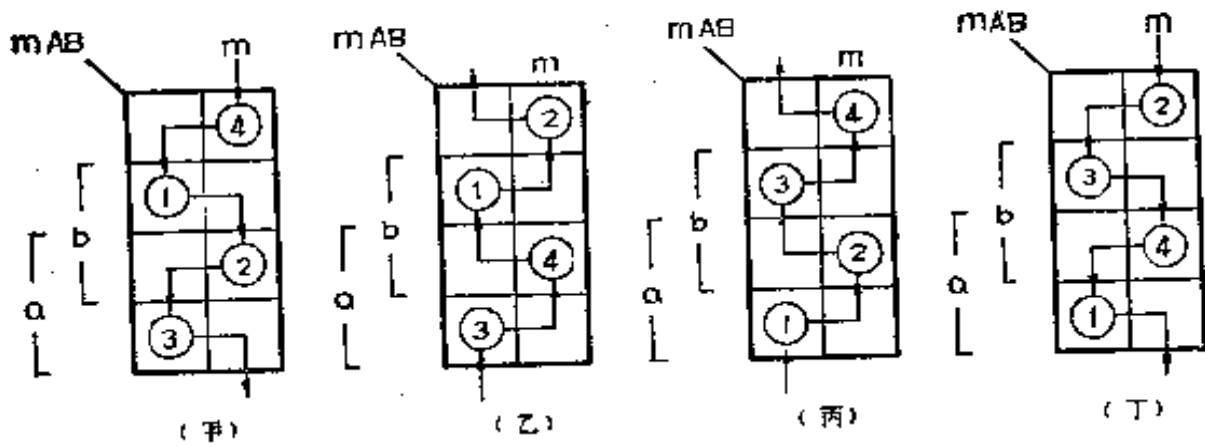


图 4.26

现在进行方案甲及方案乙的布尔式设计。方案甲的矩阵及波形见图4.27。

方案甲的布尔式为：

$$\left. \begin{aligned} A &\leftarrow mb + \overline{ma} \\ B &\leftarrow mb + \overline{m\overline{a}} \end{aligned} \right\} \quad (7)$$

电路共用了七个元件，有十二个引入端。

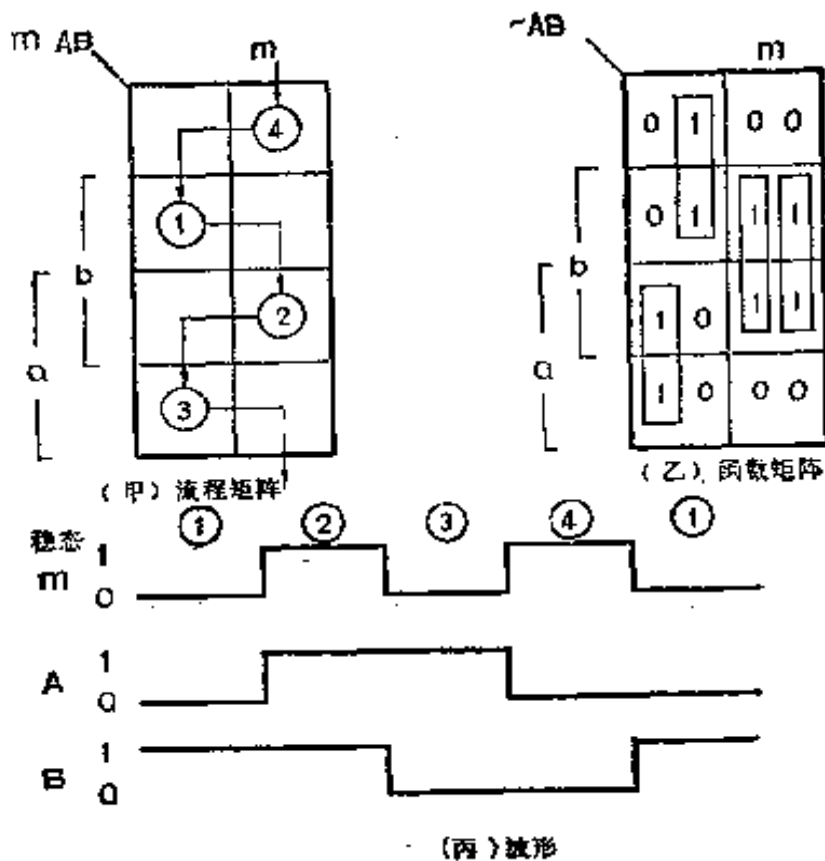


图 4.27

如果对输出波形无限制，则可直接任取函数 A 或 B 作为输出 U 。但图 4.27(丙)中的波形有问题，理由见后。

方案乙的矩阵示于图 4.28 中，其布尔式是，

$$\left. \begin{aligned} A &\leftarrow ma + \overline{m}b \\ B &\leftarrow ma + \overline{m}b \end{aligned} \right\} \quad (8)$$

可以看出，如果将(8)式中 A 、 B 两个符号对调，则与(7)式完全一致。以后提到二记忆元二进位计数器(简称为“二进器”)时，就只考虑方案甲。

习 题

设计方案丙及方案丁的布尔式。

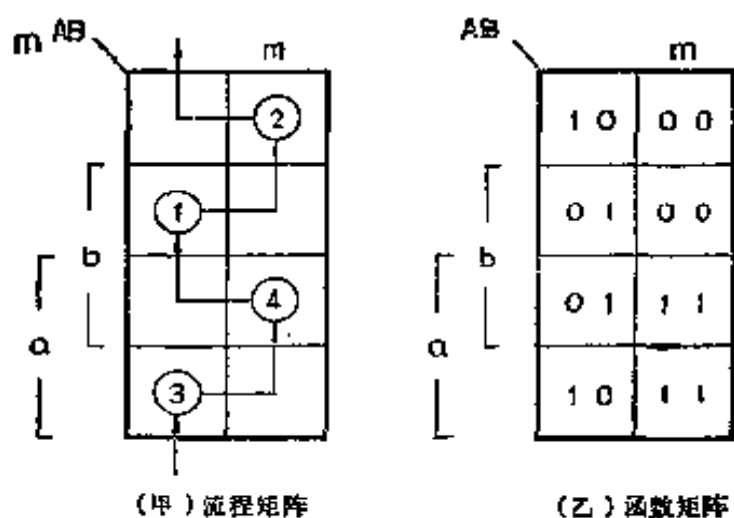


图 4.28

2. 空翻

(7)式的电路图可用两种方式画出，如图4.29所示。

两种画法各有优点。(甲)图画得比较紧凑，而画成(乙)图容易看清两个反馈式的记忆元。

现在我们重画这个电路的波形图。但首先要指出，按照布尔式(7)画出来的电路是不稳定的。为了说明这一点，我们先分析一下图4.27(甲)中状态编号② ($mab=111$)到编号③这一段的波形(见图4.30。为简单起见，假定所有元件都有同一长度的时延 t_d)。

问题的关键在时延 $t_d=1$ 这条线上； $A \leftarrow mb + \overline{m}a$ 式中的 mb 项在 $t_d=1$ 时已 \downarrow ，但由于 \overline{m} 这个元件的时延(参看图4.29)， $\overline{m}a$ 这一项尚未 \uparrow ，因而A不得不在 $t_d=2$ 这条线上 \downarrow 。在 $t_d=2$ 线上， $\overline{m}a$ 要 \uparrow ，但由于A在 $t_d=2$ 时 \downarrow ， $\overline{m}a$ 到 $t_d=3$ 时又要 \downarrow 。由于 $\overline{m}a$ 在 $t_d=2$ 时 \uparrow ，A就在 $t_d=3$ 时 \uparrow ，这又使 $\overline{m}a$ 在 $t_d=4$ 时 \uparrow 。由于 $\overline{m}a$ 在 $t_d=3$ 时 \downarrow ，A又要在 $t_d=4$ 时 \downarrow 。这样， $\overline{m}a$ 与 a 反复相互作用，就使A在 $\overline{m}=1$ 这一段

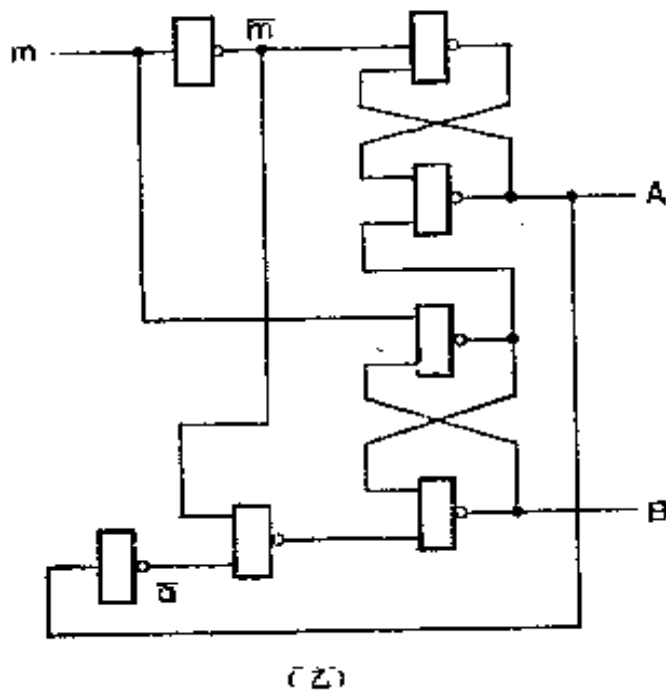
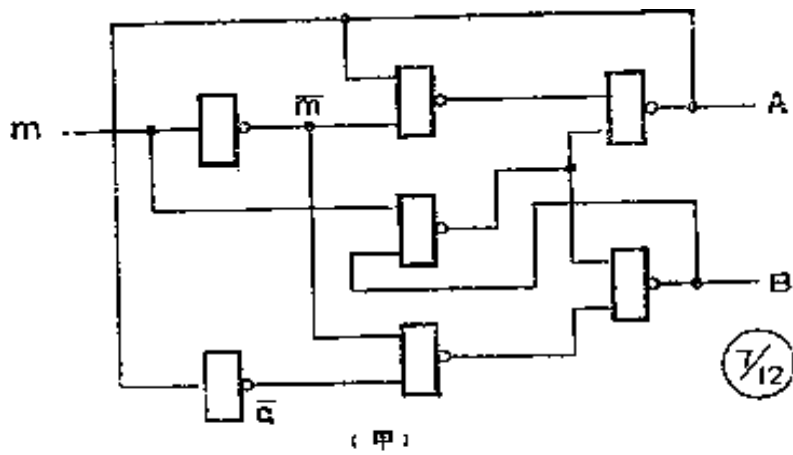


图 4.29

时间内不稳定。影响所及， B 也不稳定。到了状态编号④以后，情况也难肯定。因此，这个电路是不能用的。

A 在 $t_d = 2$ 时的 \downarrow ，称为“空翻”。“空翻”往往能引起如图4.30示出的那种松弛振荡，或者其他不规则动作。

3. 二进制二元方案 1

电路的这类“空翻”危险在卡诺图上有明显的表示。现在

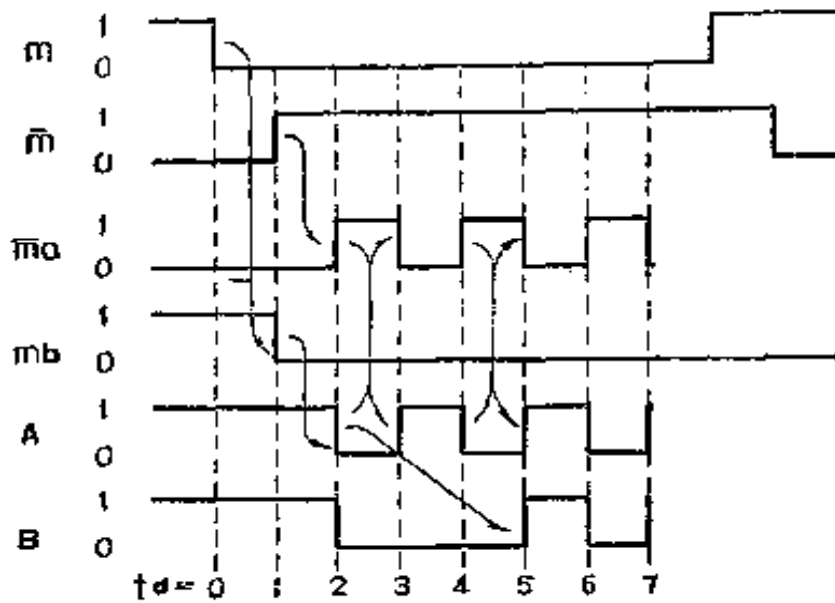


图 4.30

把图4.27(乙)中函数 $A (A \leftarrow mb + \bar{m} a)$ 这一部分的卡诺图画出来分析一下(见图4.31)。

可以看出，卡诺图上的两个圈是分离的。这是一种危险信号，它指出“可能有‘空翻’的危险”。当然，这种危险是否真正存在，还需进一步分析。但在这里做为例子说明的电路中，这种危险已经肯定了，必须排除。排除的方法是加过渡项。在卡诺图上，加过渡项就是加上一个能搭连原来两个圈的新圈。

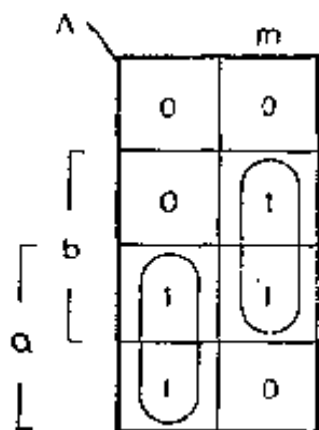


图 4.31

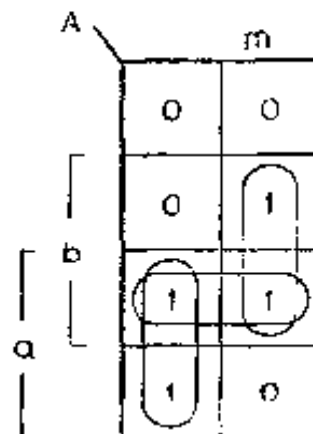


图 4.32

请参看图4.32。图中A函数的布尔式改为：

$$A \leftarrow mb + \overline{m}a + ab \quad (9)$$

前一章已说明过，矩阵小格上重复画圈是无妨的。由于第三个圈而增加的(9)式中的 ab 这一项，就是所需要的过渡项。从第一章末的公式X，也可以看出(9)式跟(7)式中的A是等价的。

(7)式中的B式当然也可改为：

$$B \leftarrow mb + \overline{m}a + \overline{a}b \quad (10)$$

但从后面的波形图看，似乎没有必要增加第三项。关于“空翻”问题就先介绍到这里，以后还将作较详细的讨论。

现在先把方程组(7)改为：

$$\left. \begin{aligned} A &\leftarrow mb + \overline{m}a + ab \\ B &\leftarrow mb + \overline{m}a \end{aligned} \right\} \textcircled{\frac{B}{A}} \quad (11)$$

然后画出它的电路图(图4.33)及波形图(图4.34)。

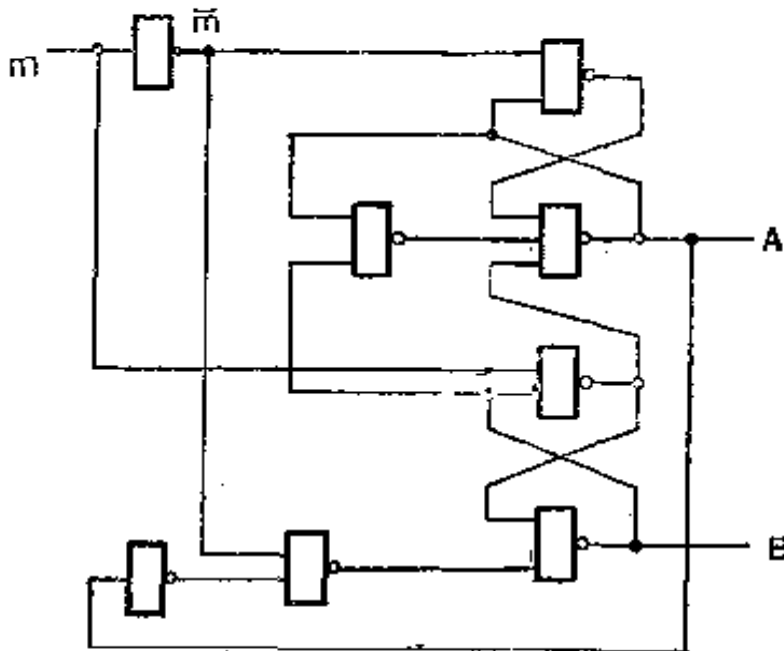


图 4.33

从图4.34中的附注可以看出为什么该电路的波形是稳定

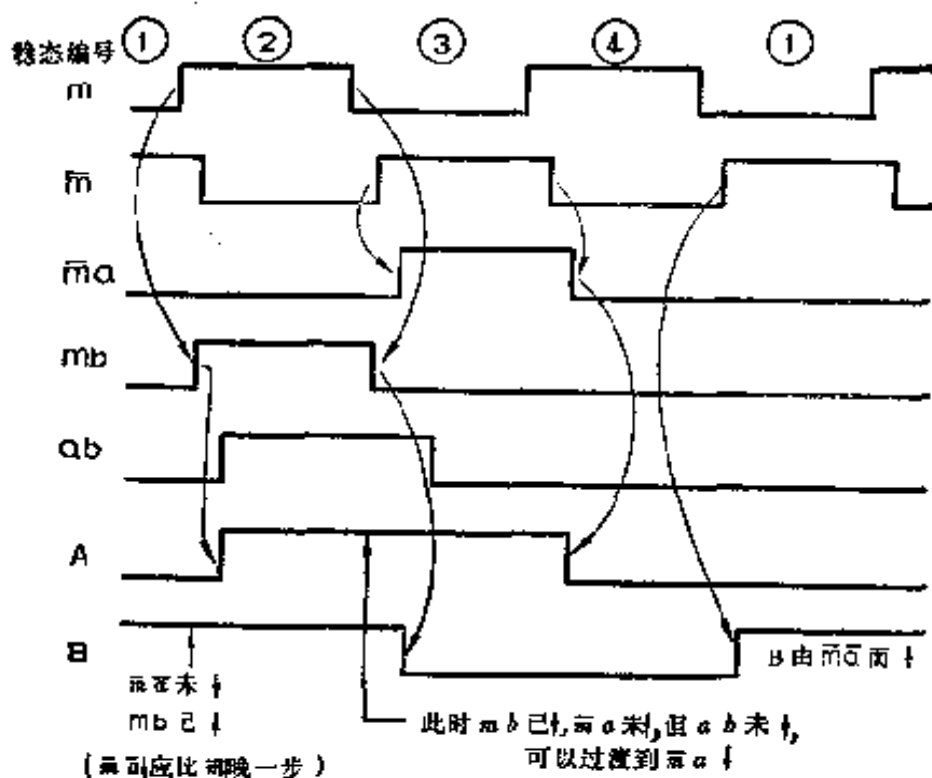


图 4.34

的。A、B 这两个反馈函数，各有一个使波形升起的激励项，A 式为 $m b$ ，B 式为 $\bar{m} a$ ，它们还各有一个反馈延续项，A 式为 $\bar{m} a$ ，B 式为 $m b$ 。根据上面的简单分析，可以暂拟一个应付“空翻”的初步设想。在简单的只有两项反馈函数（即记忆元），而输入信号为 m 的“与非”门电路设计中：

(甲) 如果某记忆元布尔式中的升起项带 m ，延续项带 \bar{m} ，则必须加过渡项。

(乙) 如果它的升起项带 \bar{m} ，延续项带 m ，则一般可以不加过渡项。

注意：①(甲)、(乙)两条只适用于布尔“与”——“或”式，而“与”式是正规的，即有两元或更多元并列。

②升起指正方向，但对负向也适用。

4. 二元方案 2

将图4.27(甲)的稳态格左右对调, 可得出图4.35的方案。
其布尔式为:

$$\left. \begin{aligned} A &\leftarrow \bar{m}b + ma \\ B &\leftarrow m\bar{a} + \bar{m}b + \bar{a}b \end{aligned} \right\} \textcircled{\frac{B}{15}} \quad (12)$$

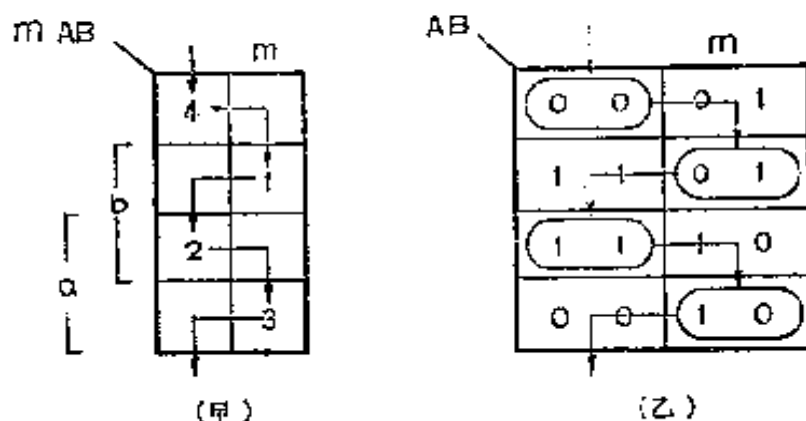


图 4.35

从布尔式来看, 现在 B 函数的升起项带 m , 延续项带 \bar{m} , 因而根据前面提到的暂定法则, 要加上过渡项 $\bar{a}b$, 而 A 式不

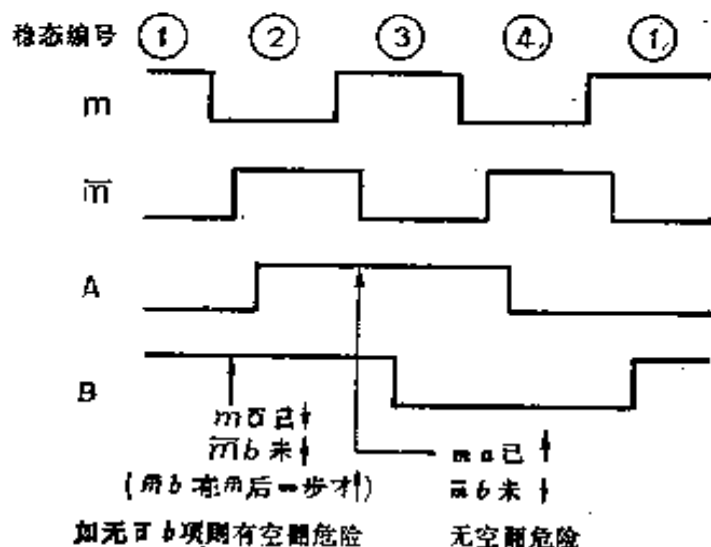


图 4.36

需要过渡项。用波形图4.36来核对一下，可知这个法则还是有效的。

(12)式可改写为方程组(13)式，减少了一个引入端：

$$\left. \begin{aligned} A &\leftarrow \overline{m}b + ma \\ B &\leftarrow m\overline{a} + \overline{m}b + \overline{a}b = m\overline{a} + b(\overline{m} + \overline{a}) \\ &= m\overline{a} + b\overline{m}a \end{aligned} \right\} \textcircled{\frac{B}{M}} \quad (13)$$

虽然(13)式中的A式不需要过渡项 $a b$ ，但加上也未尝不可。现在加上试试：

$$\left. \begin{aligned} A &\leftarrow \overline{m}b + ma + ab = ma + b\overline{m}a \\ B &\leftarrow m\overline{a} + b\overline{m}a \end{aligned} \right\} \textcircled{\frac{B}{M}} \quad (14)$$

我们意外地发现，这样一来，却收到了减少一个元件和一个引入端的效果。这种方法可以称为“加项简化法”。虽然A或B都可以作为二进输出，但它们在 \overline{m} 时不是互“非”的。方程组(14)式称为二元方案2。

5. 三元方案

从图4.35(乙)及图4.36上可以看出A函数在 $m \uparrow$ 时不变，而在 $m \downarrow$ 时变值，是后沿触发；B函数则反之，在 $m \uparrow$ 时变值，是前沿触发。在许多应用中，要求Q、P两个互非信号都是后沿触发。理由在第五章中详细介绍。

从图4.36可以看出A函数是后沿触发的，同时电路中已有 \overline{a} 这个元件（布尔式中有 \overline{a} 项）。将二元方案2的方程组(14)式作如下的换元，就可得出方程组(15)式，这是一个很经济的全后沿触发三元方案。

$$\text{换元。} \quad A \rightarrow Q; \quad \overline{a} \rightarrow P; \quad B \rightarrow A$$

$$\left. \begin{aligned} A &\leftarrow m \bar{q} + a \overline{m q} \\ Q &\leftarrow m q + a \overline{m q} \\ P &\leftarrow \bar{q} \end{aligned} \right\} \textcircled{15} \quad (15)$$

用本章(一)例2的方案2中从布尔式画流程矩阵的方法,可画出如图4.37所示的矩阵。

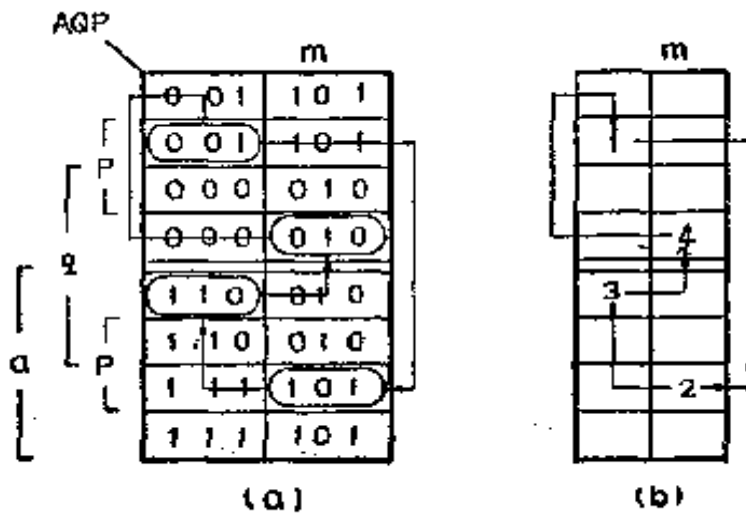


图 4.37

电路图见图4.38。

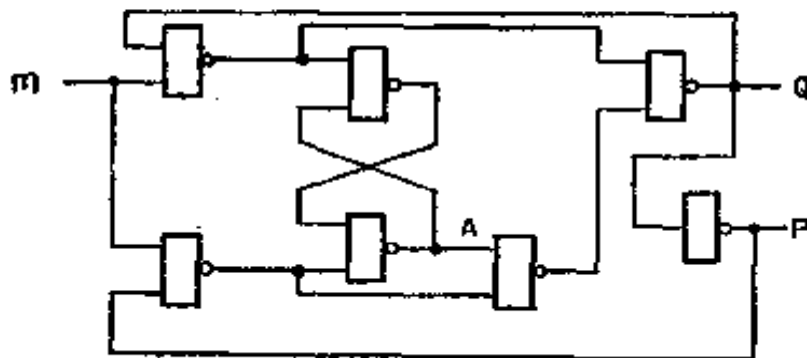


图 4.38

6. 四元方案A

在三元方案方程组(15)式中增加一个 $b = a \overline{m q}$ 式, 就

可得出四元方程组(16)式:

$$\left. \begin{aligned} A &\leftarrow \overline{b + m \overline{q}} \\ B &\leftarrow \overline{a m q} = \overline{a + m q} \\ Q &\leftarrow \overline{m q + a m \overline{q}} \\ P &\leftarrow \overline{q} \end{aligned} \right\} \quad (16)$$

这个电路与三元方案相同,但可以画出一个四元矩阵,如图4.39所示。

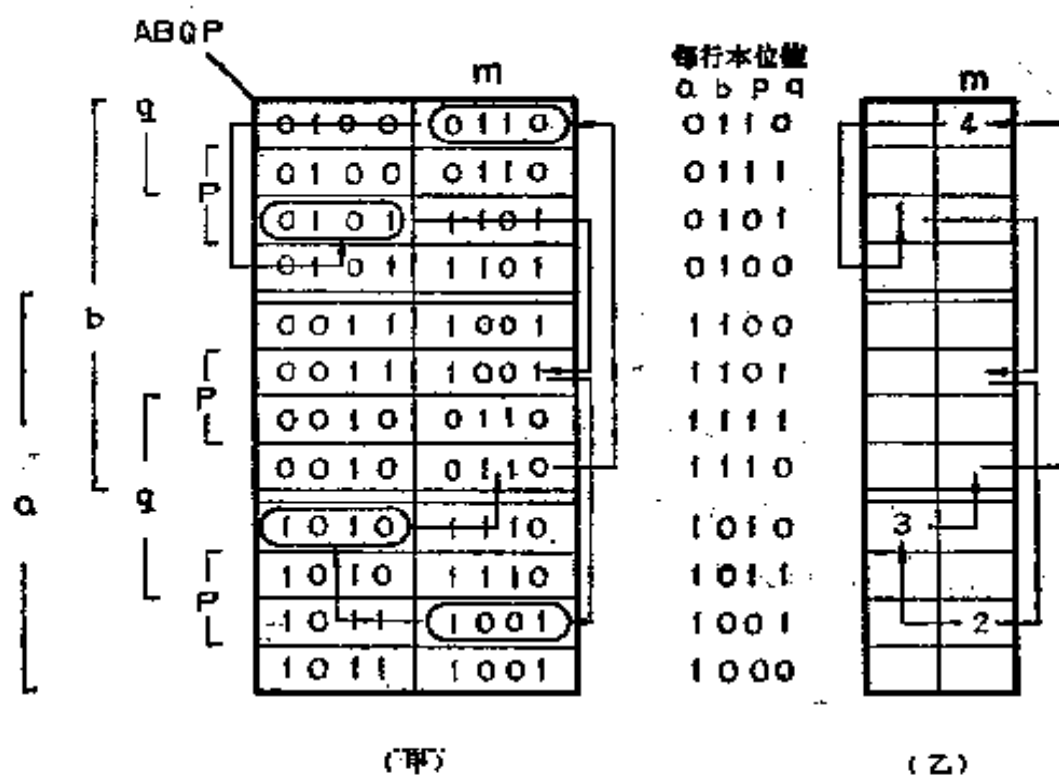


图 4.39

因为A、B两式在A=B=0时有矛盾,不可能形成稳态,所以画矩阵时,往往可以略去AB=00的四行。

稍稍改动一下图4.39(乙)的流程,画成图4.40的样子,就得出四元方案A。其布尔式是:

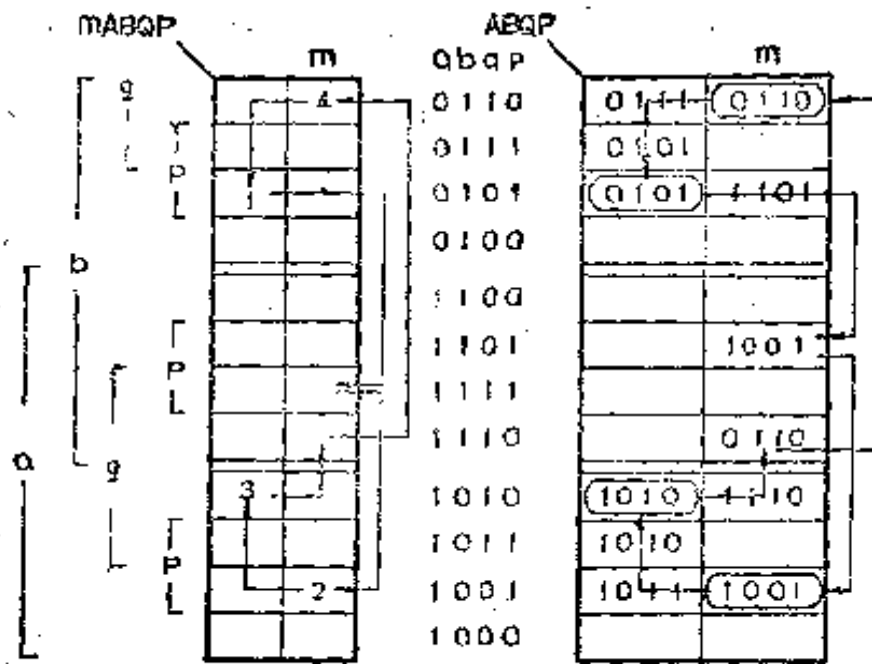


图 4.40

$$\left. \begin{aligned}
 A &\leftarrow \bar{b} + m p \\
 B &\leftarrow \bar{a} + m q \\
 Q &\leftarrow \bar{P} + a m p \\
 P &\leftarrow \bar{q} + b m q
 \end{aligned} \right\} \textcircled{\frac{8}{16}} \quad (17)$$

图4.41、图4.42分别是电路图及波形图。

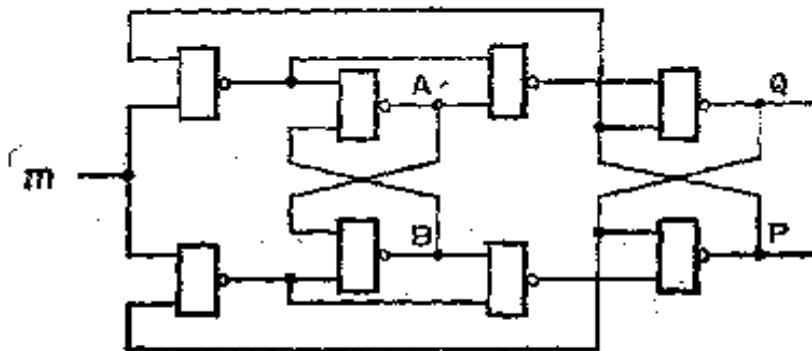


图 4.41

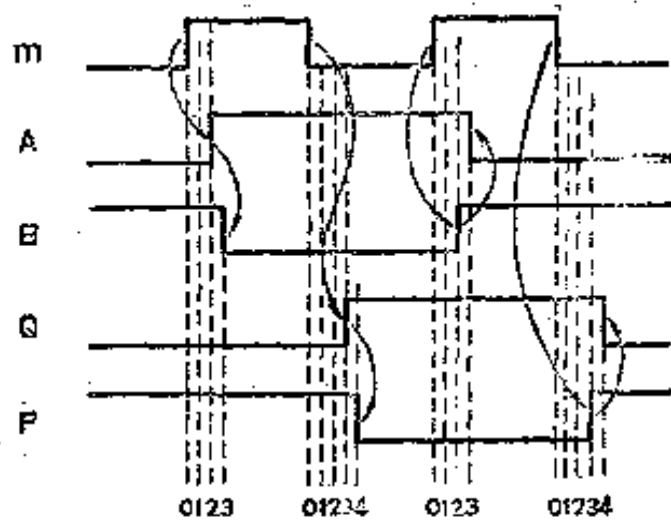


图 4.42

这个电路的优点是完全对称，而且是后沿触发，因而成为通用JK触发器的基础。

7. 四元方案B

保留图4.37(b)所示三元方案流程矩阵的稳态位置，但使流程倒向流行，就可以编出图4.43的流程矩阵。其布尔式如下：

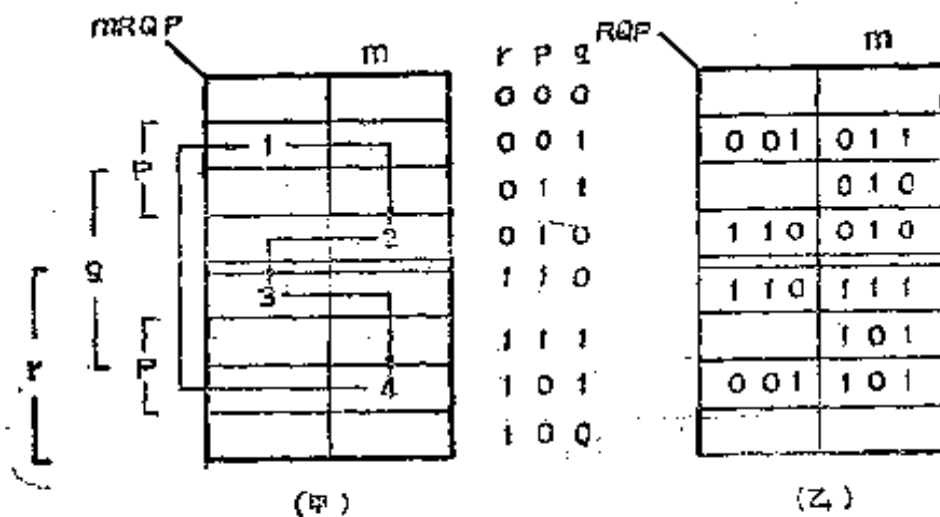


图 4.43

$$\left. \begin{aligned}
 R &\leftarrow \overline{m}q + mr + rq = mr + q(\overline{m} + r) \\
 &= mr + q\overline{m}r \\
 Q &\leftarrow \overline{p} + m\overline{r} \\
 P &\leftarrow q + m\overline{r}
 \end{aligned} \right\} \textcircled{\frac{3}{17}} \quad (18)$$

这个方案只用了七个元件。为了想再省掉实现 \overline{r} 的“非”门，还可作 $\overline{m}r \rightarrow a$ 这个换元，结果得出下列的四元方案

$$\left. \begin{aligned}
 R &\leftarrow mr + aq \\
 A &\leftarrow \overline{m}r = \overline{m} + r = \overline{m} + mr + aq \\
 Q &\leftarrow \overline{p} + a \\
 P &\leftarrow q + mr
 \end{aligned} \right\} \textcircled{\frac{3}{18}} \quad (19)$$

为了尽量使公式对称，再作 $\overline{m}r \rightarrow b$ 的换元。这样，R元可不列式，而得出下列的四元方案B：

$$\left. \begin{aligned}
 A &\leftarrow \overline{m} + b + a \\
 B &\leftarrow \overline{m}r = \overline{m} + r = \overline{m} + b + aq \\
 &= \overline{m} + b\overline{a}q \\
 Q &\leftarrow \overline{a} + \overline{p} \\
 P &\leftarrow b + q
 \end{aligned} \right\} \textcircled{\frac{3}{19}} \quad (20)$$

其电路如图4.44所示。

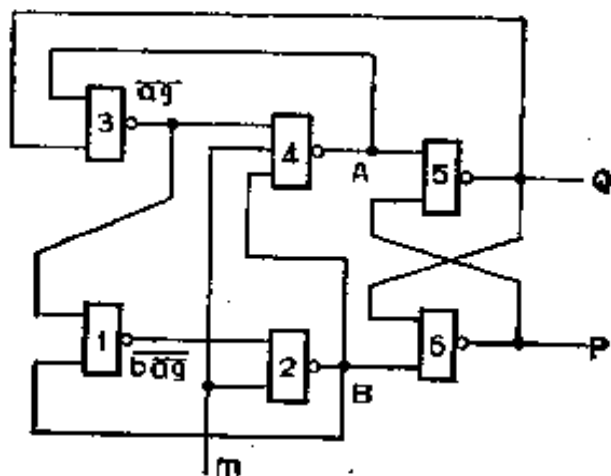


图 4.44

画电路时特别应注意A式中的 aq 与B式中 $\overline{a}q$ 的关系。它们用的是

同一元件。

这个电路就是有的书籍中称为“不对称维持—阻塞触发器”的电路。

在(19)式及(20)式的推导中，我们作了些换元。由于实际元件有时延，式中的“ \leftarrow ”符号不完全与“ $=$ ”符号等价。换元后电路可能不稳定，必须用波形图核对一下。图4.45就是图4.44的波形图，看来是稳定的。

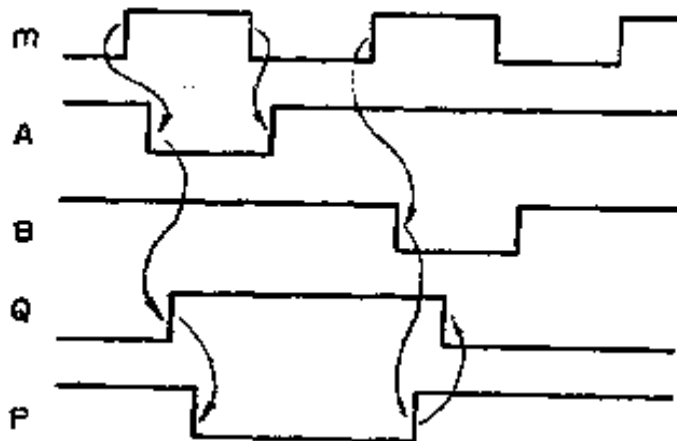


图 4.45

用前述从布尔方程组编流程矩阵的方法，可以从(20)式画出四元方案B的流程矩阵，如图4.46所示。

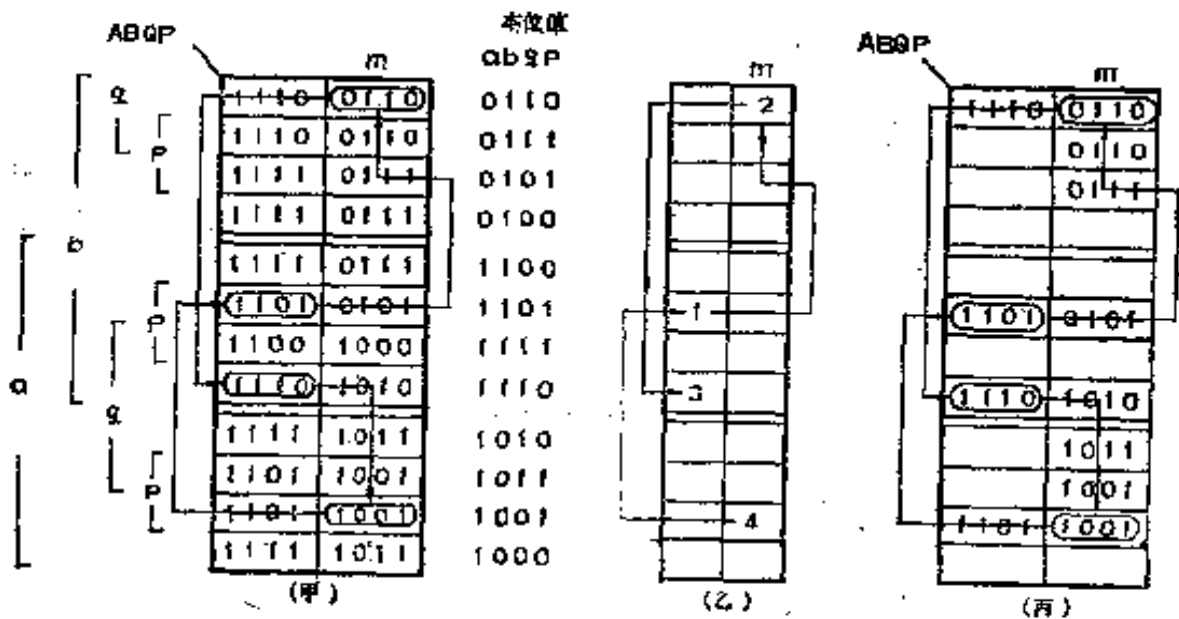


图 4.46

要把前沿触发改为后沿触发，只要用负脉冲触发就行了。即将(20)式中的 \overline{m} 都改为 m ，而在电路中加上一个实现 \overline{m} 的“非门”。流程可由图4.46左右翻转得到，见图4.47。

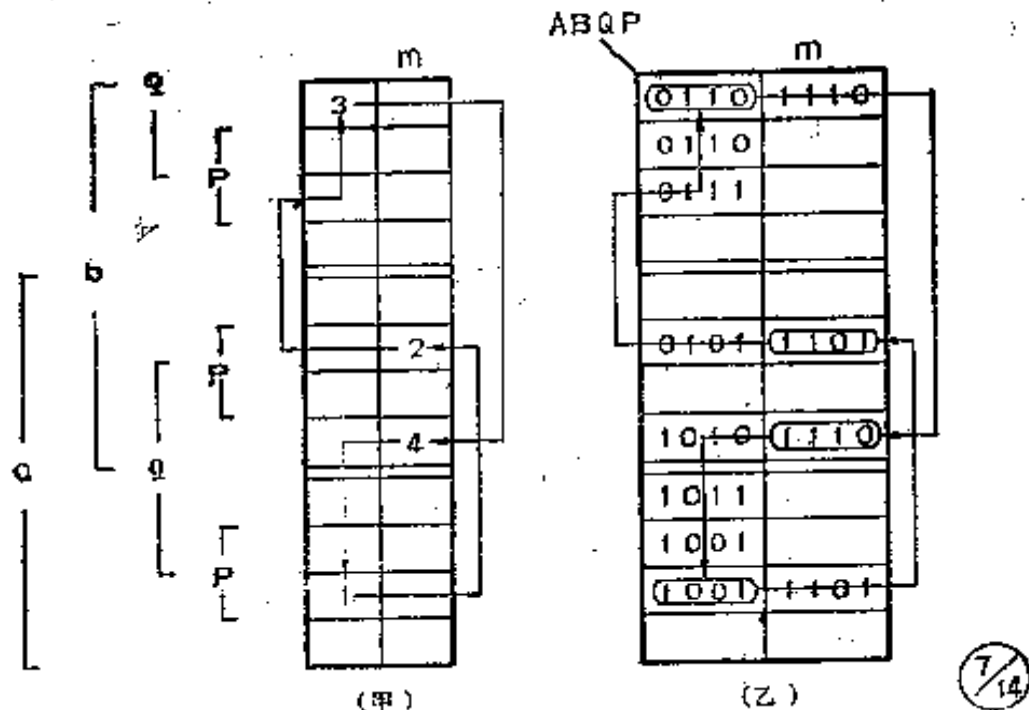


图 4.47

从流程上看，后沿触发的特点，是在由 $m \uparrow$ 引起的一段流程内， Q 、 P 值不变。

8. 四元方案C

从图4.46(丙)的函数矩阵可以看出，方程组(20)式中的 B 元可以改写为：

$$B \leftarrow \overline{M} + \overline{a} + bp$$

上述改动不影响流程。进而可得出四元方案C的布尔式：

$$\left. \begin{aligned} A &\leftarrow \overline{m} + \overline{b} + aq \\ B &\leftarrow \overline{m} + \overline{a} + bp \\ Q &\leftarrow \overline{a} + \overline{p} \\ P &\leftarrow \overline{b} + \overline{q} \end{aligned} \right\} \quad (21)$$

相应的电路请参看图4.48。此电路又可称为“对称维持—阻塞触发器”。它是前沿触发的。

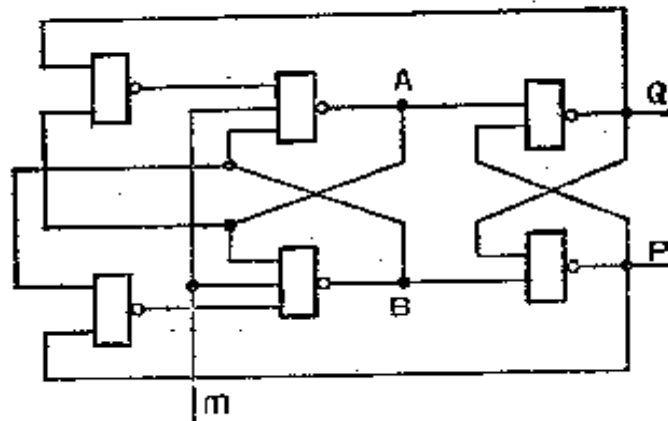


图 4.48

(三) 设计中的隐患

我们先看看下列简单方程组：

$$\left. \begin{aligned} A &\leftarrow m + ab \\ B &\leftarrow \overline{m} \end{aligned} \right\} \quad (22)$$

它的流程矩阵及电路图分别示于图4.49和图4.50中。

AB		m	
		0	1
Γ a L	0	1	0
	0	1	0
	1	1	0
	0	1	0

图 4.49

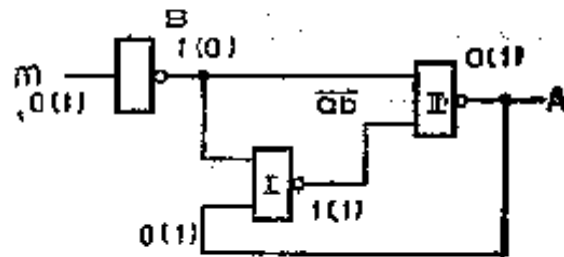


图 4.50

假定初始状态为 $mab=001$ 。这个状态用电路图中各接点左边的码标明。当 $m \uparrow$ 时，状态逐步转变为 $mab=110$ ，上图用带括弧的码标明。这一步流程是稳定的。

但在 $mab=110$ 之后，如果 $m \downarrow$ ，则由于元件的时延 t_d 不一

致，可能产生下列三种现象之一：

(甲)元件(I)的 $t_d \gg$ 元件(II)的 t_d ，则可能 $A \rightarrow 0$ ，如图4.51所示。

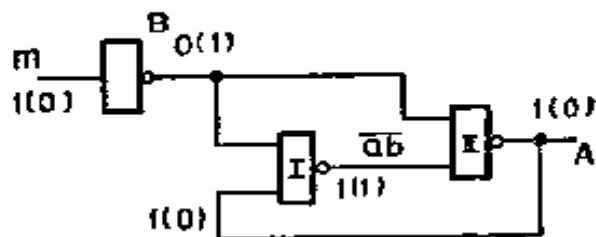


图 4.51

(乙)元件(I)的 $t_d \ll$ 元件(II)的 t_d ，则可能 $A \rightarrow 1$ ，如图4.52所示。

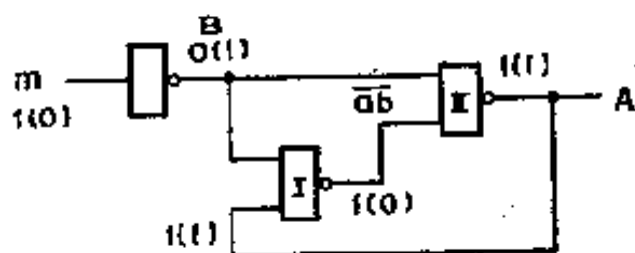


图 4.52

(丙)元件(I)和(II)的 t_d 相接近，则可能产生如下的振荡波形(参看图4.53)；在 $t_d = 1$ 时， \bar{m} 已 \uparrow ，而 \bar{ab} 未变，仍是1，因而A应在 $t_d = 2$ 时 \downarrow ；但由于在 $t_d = 1$ 时， $B \uparrow$ ，因而 \bar{ab}

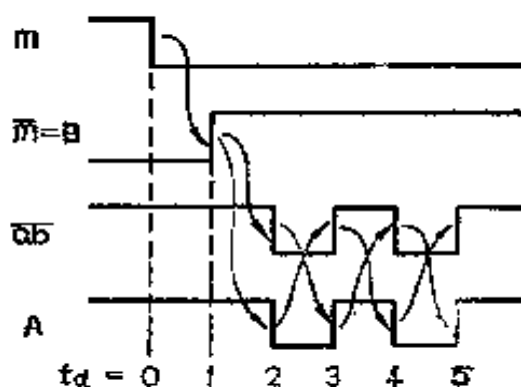


图 4.53

在 $t_2=2$ 时 \downarrow ，又促使 A 在 $t_2=3$ 时 \uparrow 。由于在 $t_2=2$ 时 $A\downarrow$ ，促使 \overline{ab} 在 $t_2=3$ 时 \uparrow ，这又促使当 $t_2=4$ 时 $A\downarrow$ 。如此依次交互起作用， A 的波形就上下变化不定。

设计出来的电路不稳定，而在流程矩阵上看不出，或者流程矩阵跟电路的波形图不符，都称为设计中的隐患。隐患可分为四类，现分别阐述如下：

1. 隐患之一：竞争

上面例子中(甲)、(乙)两种不定现象，称为“竞争”，所以产生这种现象，是由于状态矩阵第四行 $m\downarrow$ 时， AB 从 10 转为 01 ，要变两位码。这是一个越格跃进流程，即流程不按格雷码逐步向邻格推进。由于元件的 t_d 不一致，总有一位码先变，一位码后变。如果 AB 先变为 00 ，则流程向上跃入本位值 $ab=00$ 这一格；又因为这一格的函数值是 01 ，所以流程再下流而稳定在 $ab=01$ 这一格(见前(甲))，如果 AB 先变为 11 呢，则流程向上进入 $ab=11$ 这一格；由于这一格是稳态， AB 就稳定在 11 状态了(见前(乙))。这样，流程就出现不稳定性。根据矩阵，最后状态应是 $AB=01$ ，但如果元件的时延配合不好，则可能转为 $AB=11$ ，与原要求不符。

避免“竞争”的方法是把流程图设计好，尽可能使流程从一格跳到循环码相邻的一格。如果要用越格跃进流程的话，就必须仔细上下核对无误才行。

2. 隐患之二：空翻

从(22)式可以经过替代而得出(23)式：

$$A \leftarrow m + \overline{m}a \quad (23)$$

这是一种 m 起动、 \overline{m} 延续的波形。由于延续这一项多一个元件

的时延，在大多数情况下必有空翻。这就是前面讲过的现象（丙）。

3. 隐患之三：不合适的代数替代

数学推导，一般都要用替代法，布尔代数也不例外。布尔代数式本身无所谓时延，但是实现布尔式的电路都有时延这个问题。因此数学上的正确替代，从电路上讲就不一定是合适的替代。关键是要认识到，我们用的布尔式，实际上可以说是差分式⁹（请参阅附录A）。

下面举几个例子看看。不过要说明一点，本小节直接按布尔式画电路，而不是全用“非”门，“与非”门。

【例1】 $F = m + \bar{m} = 1$ (24)

这个公式，在布尔数学上是完全正确的。但这个式子的电路可能是图4.54，相应的波形是图4.55。由波形图中可见，在 $t_d = 0$ 时 m 已 \downarrow ，而 \bar{m} 还未 \uparrow ，因此 F 在 $t_d = 1$ 到 2 这一段有

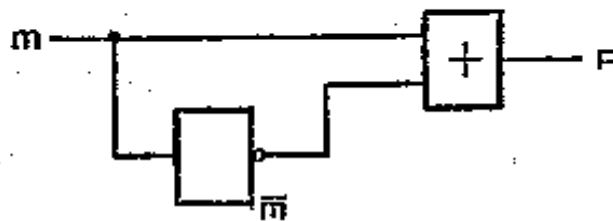


图 4.54

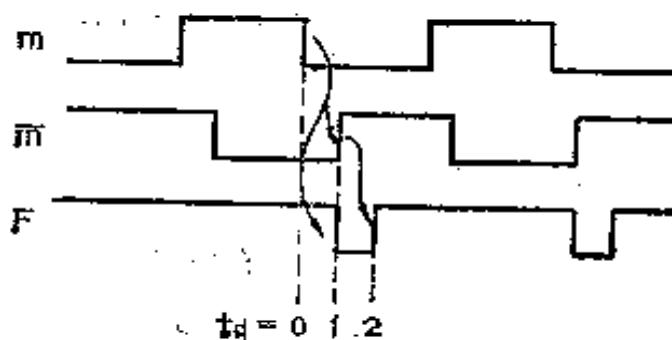


图 4.55

一个缺口，成为

$$F = m + \bar{m} < 1 \text{ 了。} \quad (25)$$

【例 2】

$$\left. \begin{aligned} F_1 &= \overline{m + A} \\ F_2 &= \overline{m A} \end{aligned} \right\} \quad (26)$$

在数学上根据反演定理有 $F_1 = F_2$ ，但在电路上它们可能如图 4.56 所示。

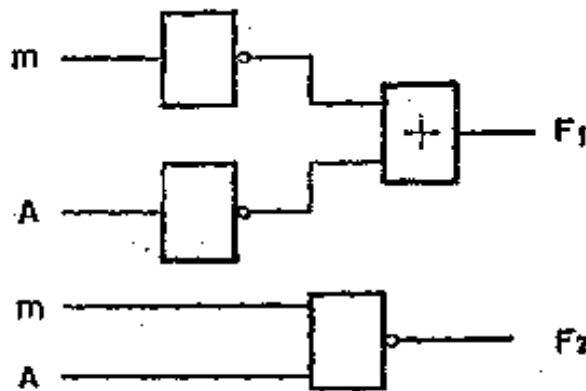


图 4.56

假定元件的时延都是 t_d ，则 F_1 的时延是 $2t_d$ ， F_2 的时延是 t_d ，因而 F_1 及 F_2 并不完全等同。

【例 3】

$$\left. \begin{aligned} F_1 &= \overline{mA + C} \\ B &= \overline{m A} \\ F_2 &= \overline{B + C} \end{aligned} \right\} \quad (27)$$

能不能认为 $F_1 = F_2$ 或 $\overline{mA + C} = \overline{B + C}$ 呢？从数学上讲，这两个等式都是成立的，但它们的电路可能是图 4.57。如果考虑到时延的话，显然就有 $F_1 \neq F_2$ 和 $\overline{mA + C} \neq \overline{B + C}$ 了。

【例 4】 比较下列两组布尔式：

(甲)

$$\left. \begin{aligned} A &= \overline{m} B + m A \\ B &= \overline{m} + \overline{A} \end{aligned} \right\}$$

(乙)

$$\left. \begin{aligned} A &= \overline{m} B + \overline{B} \\ B &= \overline{m} + \overline{A} \end{aligned} \right\} \quad (28)$$

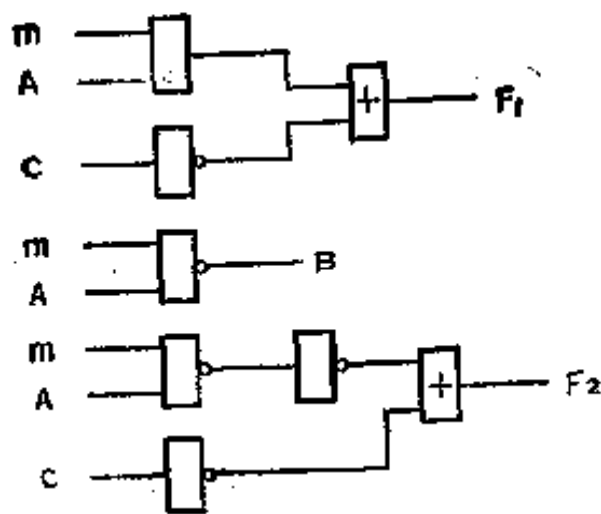


图 4.57

从数学上看， $\overline{m} + \overline{A} = \overline{mA}$ ，因而甲乙两组完全相等。

现在从流程、电路、波形三方面作比较。

流程图分别示于图4.58中。由图可见，流程甲是稳定的。

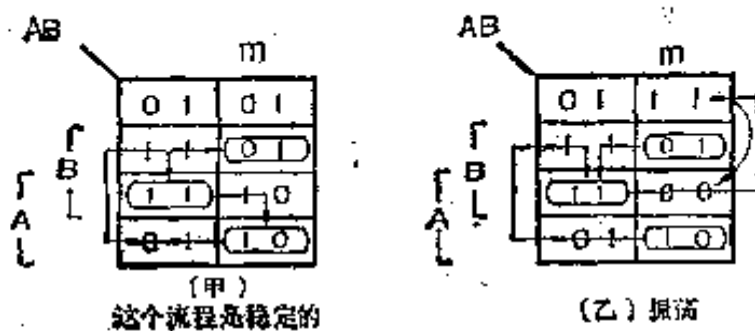


图 4.58

(乙) 在 $mAB=011$ 时，如果 $m \uparrow$ ，则电路状态将在 $mAB=100$ 及 $mAB=111$ 之间来回振荡（参阅附录）。

电路如图4.59所示。

波形参看图4.60。从 $mAB=011$ 开始，(甲)、(乙)两组波形与流程基本相符。看起来，状态矩阵上的流程，也包含了元件动作先后的考虑。

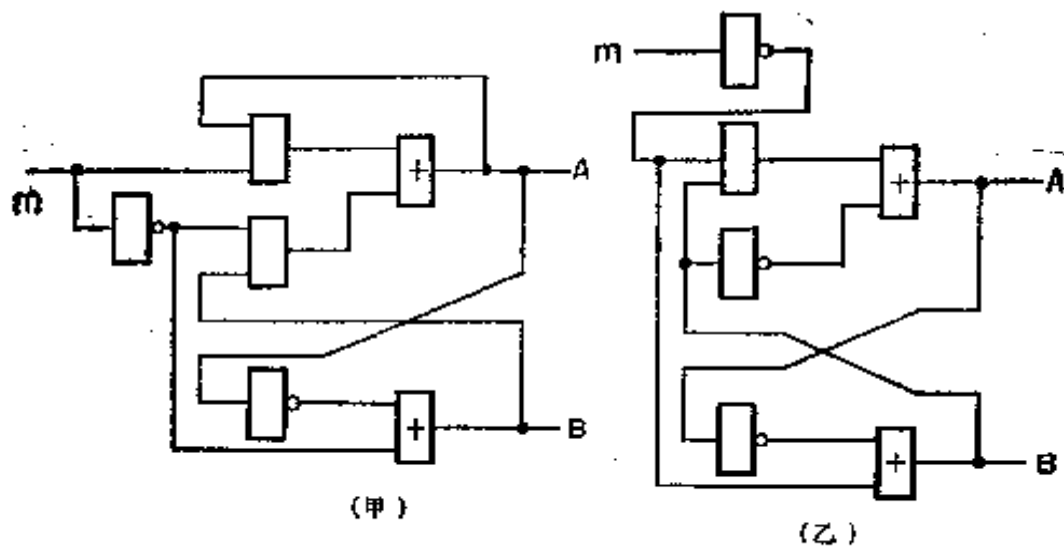


图 4.59

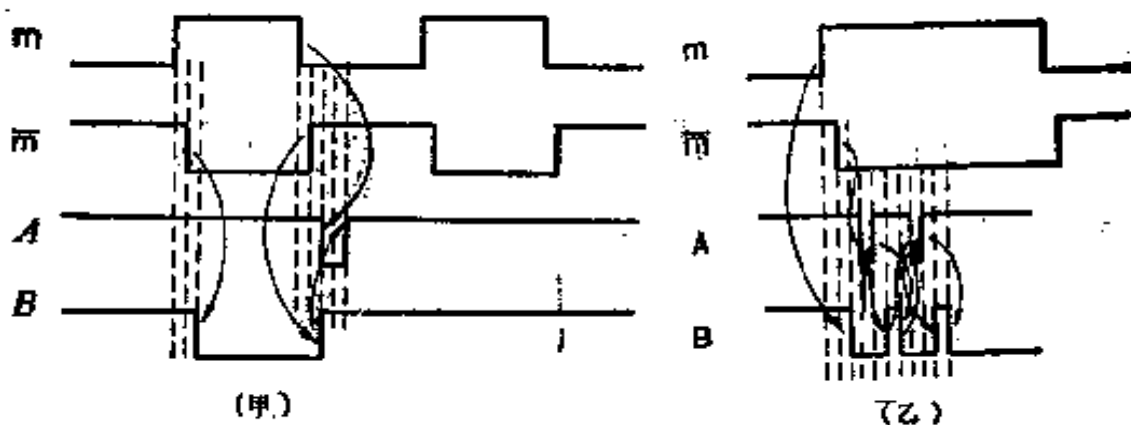


图 4.60

4. 隐患之四 电路与矩阵的不一致性

上面所画的电路，都严格按照布尔公式用多种元件混合组成。下面纯粹用“非”门及“与非”门组成电路，重新观察四个例子，然后再补充几个例子，说明电路与矩阵的不一致性问题。

【例1】 $F = m + \bar{m} = 1$

相应的电路示于图4.61中，时延情况与前节例子类似。结

果就是在电路上会出现 $m + \bar{m} < 1$ 的情况。

$$\text{【例 2】} \quad \left. \begin{aligned} F_1 &= \bar{m} + A \\ F_2 &= \overline{m A} \end{aligned} \right\} \quad (29)$$

在“与非”门设计中， F_1 跟 F_2 无区别。电路如图 4.62 所示。

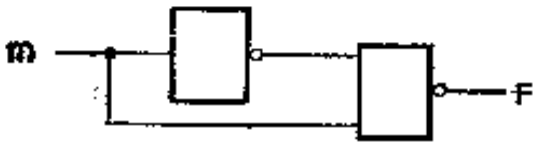


图 4.61

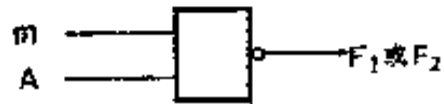


图 4.62

$$\text{【例 3】} \quad \left. \begin{aligned} F_1 &= m A + \bar{C} \\ \left\{ \begin{aligned} B &= m A \\ F_2 &= \overline{B + C} \end{aligned} \right. \end{aligned} \right\} \quad (30)$$

在“与非”门设计中， F_1 ， F_2 的电路如图 4.63 所示，无区别。

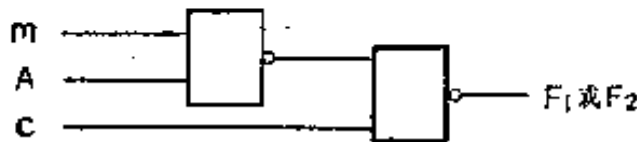


图 4.63

$$\begin{aligned} \text{【例 4】(甲)} & \quad \left\{ \begin{aligned} A &= \bar{m} B + m A \\ B &= \bar{m} + A \end{aligned} \right. \\ \text{(乙)} & \quad \left\{ \begin{aligned} A &= \bar{m} B + \bar{B} \\ B &= \bar{m} + A \end{aligned} \right. \end{aligned} \quad (31)$$

根据例 3 的说明，在“与非”门设计中，(甲)，(乙)两组布尔式的电路没有区别（见图 4.64）。

波形见图 4.65。

由于 $\bar{m} B$ 这个元件的时延， A 的波形是稳定的。这也跟二

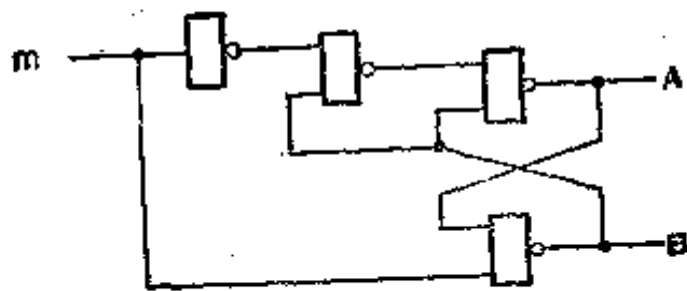


图 4.64

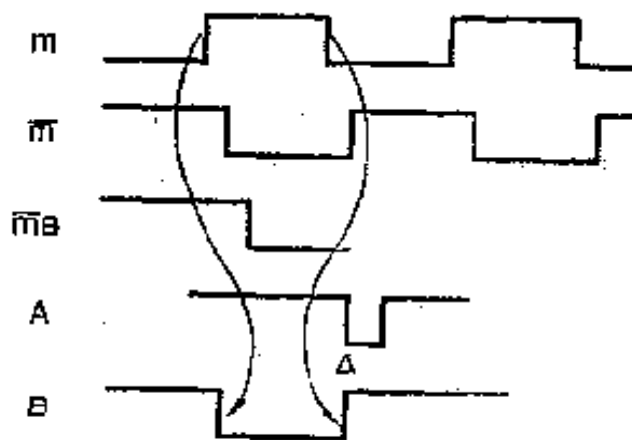


图 4.65

进器的二元方案 1 最后提出的“空翻”初步设想相符。A 的波形在 Δ 处 \downarrow ，与流程符合，这在设计中还是正常的，未造成不稳定情况。不过布尔式及其电路变化复杂，临时法则绝对不是一成不变的规律。

图 4.65 跟上节例 4 (甲) 的波形比较接近。上节例 4 (乙) 的流程及波形中的不稳定性，在“与非”门电路的情况可能不存在，这是元件排列及产生的时延情况不同所致，但也说明了矩阵的流程有时跟“与非”门电路的性能不符。

如果将 (31) 式作如下的推导：

$$\overline{m} B = \overline{m} (\overline{m} + A) = \overline{m} + \overline{m} A = \overline{m}$$

得出

$$A = \overline{m} + m A \quad (S2)$$

其矩阵和电路分别如图4.66和图4.67所示。矩阵本身似乎是稳定的，但波形则不然。从 $mA=01$ 的稳态开始，在 $m \uparrow$ 时

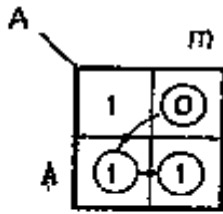


图 4.66

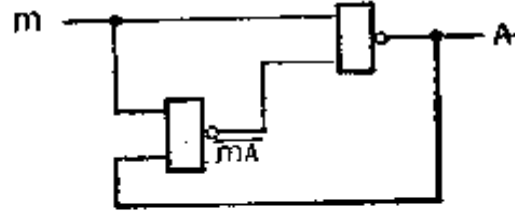


图 4.67

的波形是图4.68中的样子。由于 mA 及 A 的交互作用， A 的波形是不稳定的。图4.67与图4.50极其类似。就“与非”门电路而言，与(32)式相应的电路不是“升起项带 \overline{m} ，延续项带 m ”的电路。

如果用卡诺图解上面的矩阵，可得出(33)式，

$$A = \overline{m} + A \quad (33)$$

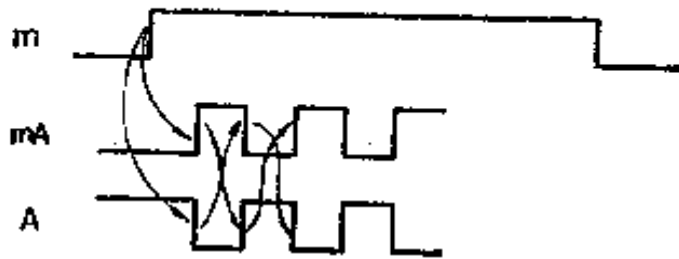


图 4.68

这个电路是稳定的。

总之，不仅布尔式本身多变，而且当布尔式确定以后，实现布尔式的电路也是可以变换的，所以情况就复杂了。

将矩阵与波形图作比较，可以看出矩阵比较粗略，不能反映电路的全部情况。这是因为矩阵可用的变元较少（最多可用六个记忆元，再多就非常繁杂，不容易看清），在电路元件较多的情况下，不能充分考虑每个元件的输出。这就是矩阵的不

完备性。矩阵越简单，越不能说明问题。但利用流程矩阵来设计电路，方法比较简便，因此不妨用它来作初步设计。电路设计出来以后，应再用波形图检验是否符合设计要求。

【例5】 基本二进制

原始的矩阵见图 4.69 (即图 4.27)，基本的方程组是(7)式，即

$$\left. \begin{aligned} A &\leftarrow \overline{m}a + mb \\ B &\leftarrow \overline{m}a + mb \end{aligned} \right\}$$

从流程上看不出(7)式的不稳定性，但在图4.30上已说明了这个方程组是不稳定的。现在再补充一下从稳态 $mab=111$ 开始的波形。波形图见图4.70。

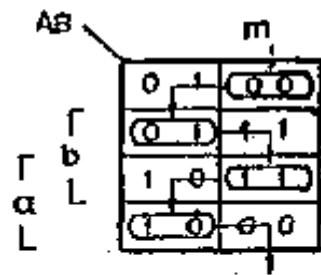


图 4.69

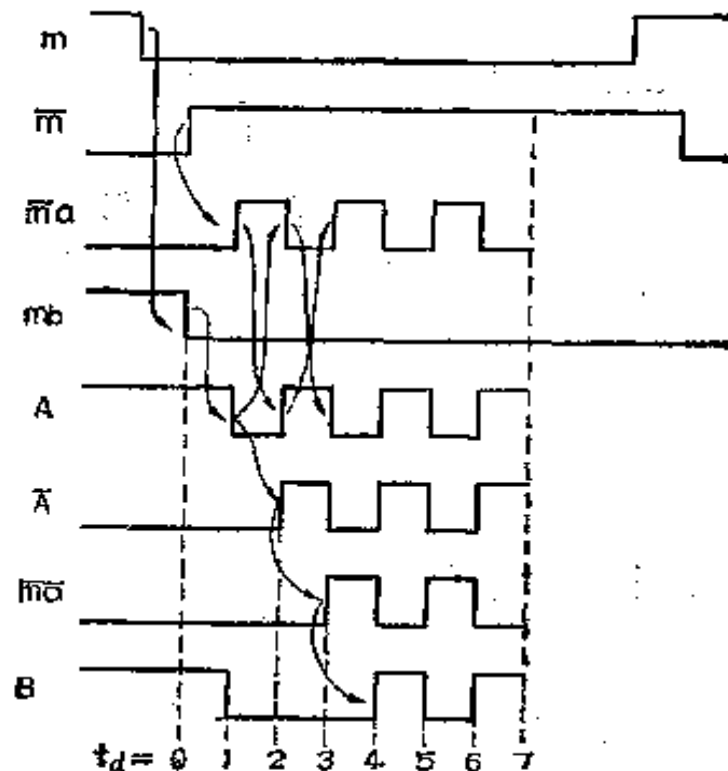


图 4.70

为了充分说明不稳定现象，要用六个记忆元的矩阵。下面将(7)式作一些变换，看看它们的状态流程矩阵。如变换为

$$\left. \begin{aligned} A &\leftarrow \overline{c + m b} \\ B &\leftarrow \overline{m a + m b} \\ C &\leftarrow \overline{m a} \end{aligned} \right\} \quad (34)$$

其流程(见图4.71)的不稳定现象跟图4.67的不稳定现象有些相似。变换为

$$\left. \begin{aligned} A &\leftarrow m b + \overline{m a} \\ B &\leftarrow \overline{d + m b} \\ D &\leftarrow \overline{m a} \end{aligned} \right\} \quad (35)$$

的话，流程矩阵见图4.72。

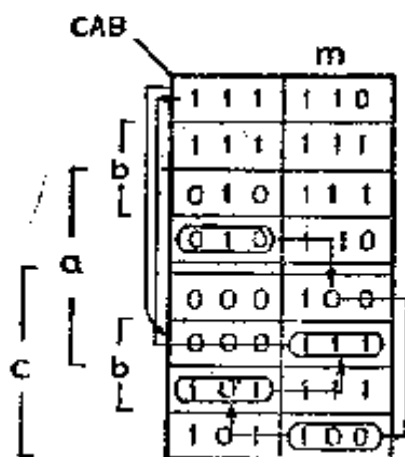


图 4.71

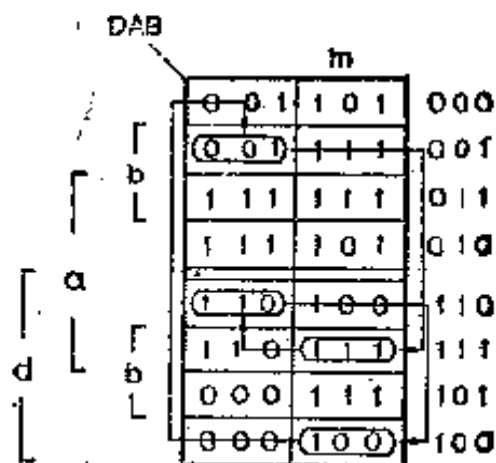


图 4.72

图4.72这个流程是稳定的。虽然稳态 $dab = 001$ 在 $m \uparrow$ 时，变为111，函数值变了两位，但因为 $dab = 011$ 及101两格内的函数值都是111，所以没有竞争。当输入信号变动时，如果记忆元的函数值变两位或两位以上，就必须对每个可能发生“竞争”的小格内的函数值进行检查。

(四) 三进器与五进器

三进器的功能是每输入三个脉冲就输出一个脉冲。设计三进器要考虑六种状态，需要三个记忆元。图4.73是一种可用的波形。

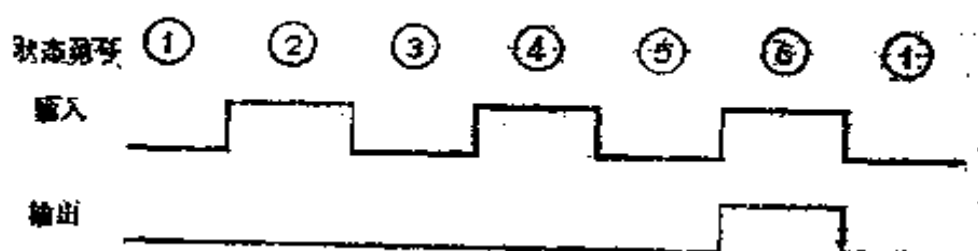


图 4.73

下面列出最方便的一种设计方案的流程矩阵、布尔方程组及波形图。流程矩阵如图4.74所示。

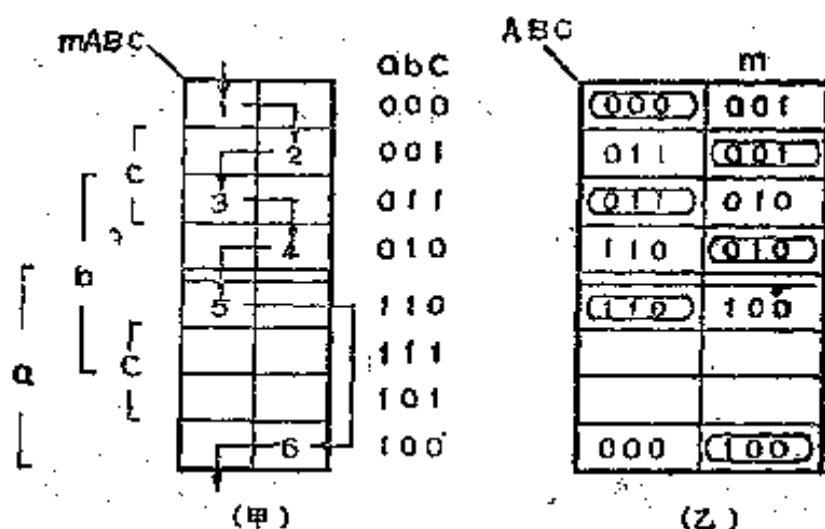


图 4.74

三进器的记忆元布尔式如下：

$$\left. \begin{aligned} A &\leftarrow \overline{m} b \overline{c} + m a \\ B &\leftarrow \overline{m} c + \overline{m} b + \overline{a} b \\ C &\leftarrow \overline{m} c + m \overline{a} \overline{b} + \overline{b} c \end{aligned} \right\} \quad (36)$$

三进器的波形示于图4.75中。

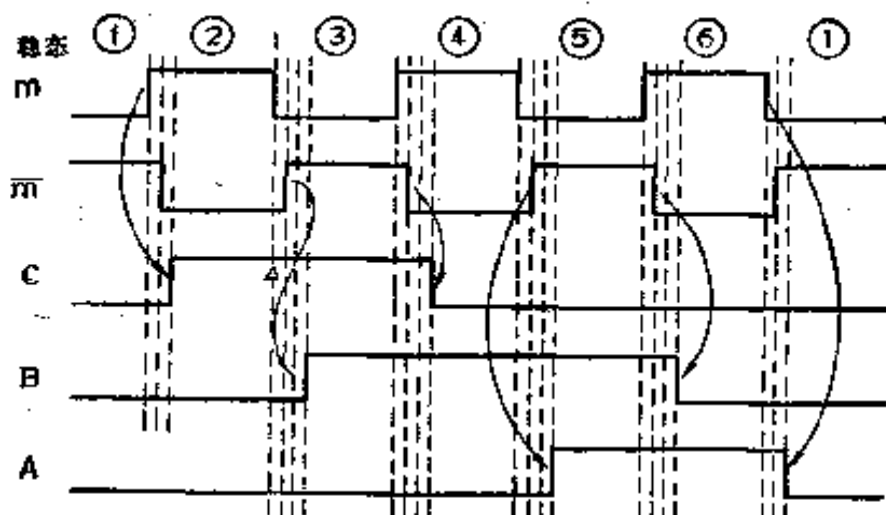


图 4.75

在(36)式方程组内，A式符合空翻设想(乙)，不需要过渡项。C式符合设想(甲)，如果不加过渡项 $\overline{b}c$ ，则在图4.75的C波形中△处， m 已↓，而 \overline{m} 未↑，C就会在两个 t_d 之后空翻。输出U为

$$U = A \overline{B} \quad (37)$$

或用

$$U = A \quad (38)$$

用(37)式(元件/输入端数)为(16/31)，用(38)式则为(14/28)。

如果要求后沿触发，可用A作输出(或用A及 \overline{A} 作互非输出)。要求前沿触发则可取C作输出。如对波形无限制，可取U

= A + C 作2/3输出。

如果作数学替代，取

$$\left. \begin{aligned} A &\leftarrow \overline{m} b \overline{c} + m a \\ B &\leftarrow \overline{m} c + \overline{m} b + \overline{a} b = \overline{m} c + b \overline{m} a \\ C &\leftarrow \overline{m} a \overline{b} + \overline{m} c + \overline{b} c \\ U &= A \end{aligned} \right\} \quad (39)$$

指标可达到{13/25}。

类似地，五进器要考虑十种状态，需要四个记忆元。分状态的一种方式如图4.76所示。

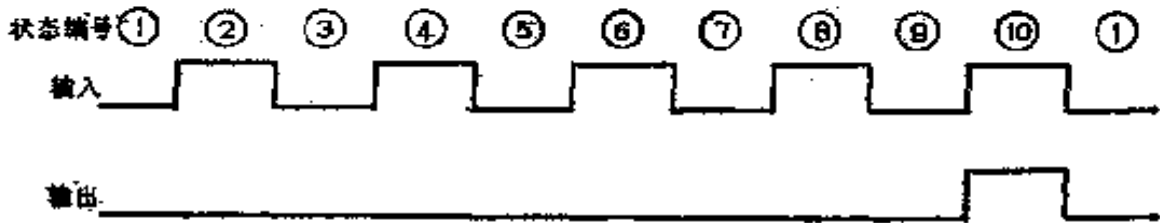


图 4.76

图4.77列出一种设计方案的流程矩阵。波形见图4.78。

五进器记忆元布尔式为：

$$\left. \begin{aligned} A &\leftarrow \overline{m} b \overline{c} \overline{d} + m a \\ B &\leftarrow \overline{m} c \overline{d} + \overline{m} b + \overline{a} b = \overline{m} c \overline{d} + b \overline{m} a \\ C &\leftarrow \overline{m} b \overline{d} + \overline{m} c \overline{d} + m \overline{a} c \\ D &\leftarrow \overline{m} a \overline{b} \overline{c} + \overline{b} \overline{c} \overline{d} + m \overline{d} + m b c + b c d \end{aligned} \right\} \quad (40)$$

输出为

$$U = A \overline{B} \quad \left(\frac{22}{51} \right) \quad (41)$$

或

$$U = A \quad \left(\frac{20}{48} \right) \quad (42)$$

在方程组(40)式内，A式和C式符合空翻设想(乙)，不需要过渡项；D式是符合设想(甲)的，必须加过渡项 $\overline{b} \overline{c} \overline{d}$ 及 bcd 。

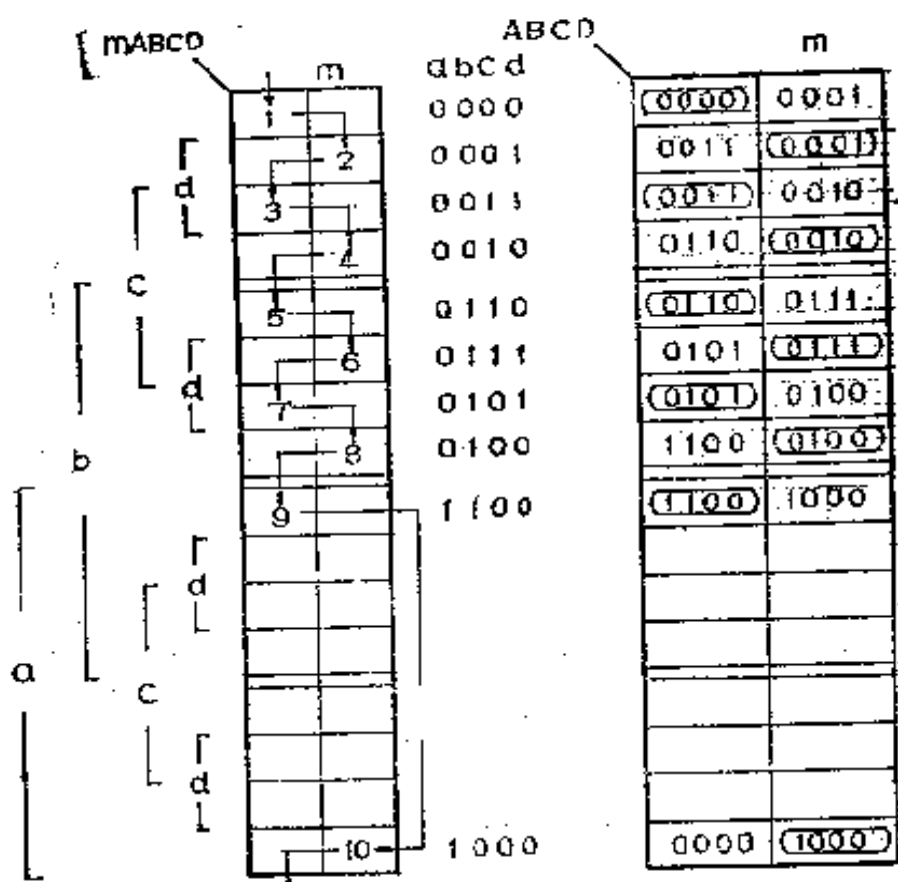


图 4.77

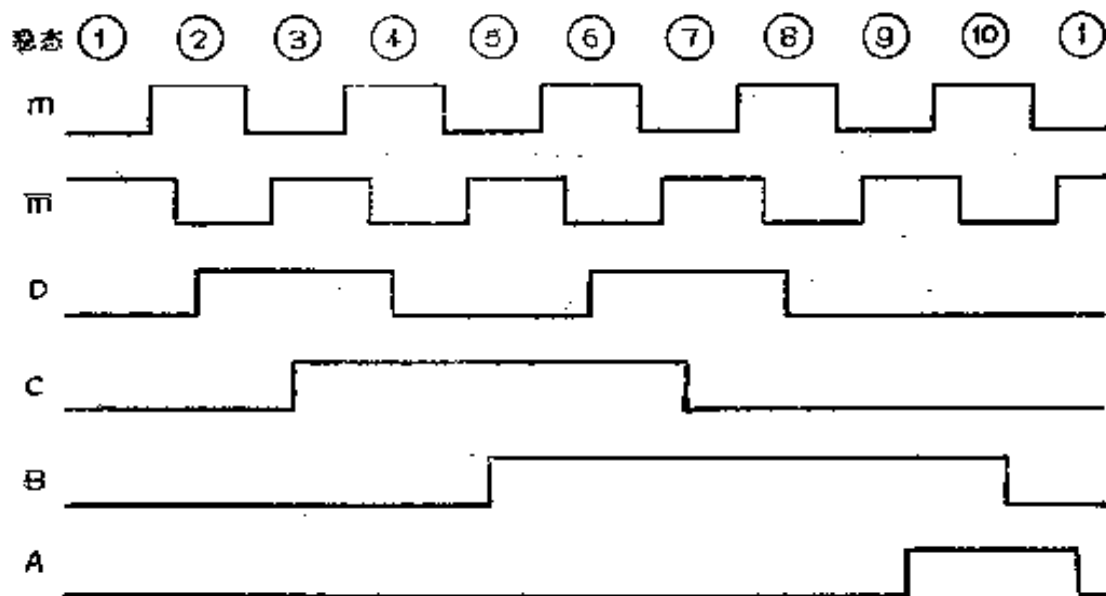


图 4.78

若对输出波形无限制，则可取 A 或 C 为后沿输出，并可用 A 、 \overline{A} 或 C 、 \overline{C} 作互非输出，可从 D 取出 $2/5$ 的输出或从 $A+D$ 取出 $3/5$ 的输出。

实际上，二进器是将脉冲数除以 2 的除法器，三进器是对脉冲数除以 3 的除法器，等等。若将两个二进器串联起来，就可以同时得到将脉冲数除以 2 及除以 4 的输出。二进器与三进器串联，就可以得到除以 6 的输出。二进器与五进器串联，就可以得到除以 10 的输出，依此类推。

(五) 实际电路举例

下面介绍的全是实际数据处理机上的电路。

【例 1】 控制逻辑

某数据处理机上有一个 C 控制逻辑电路。它的设计要求可用图 4.79 中的波形图来说明。

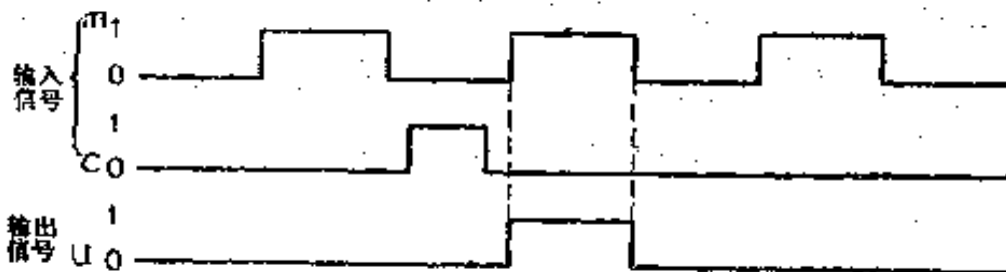


图 4.79

输入信号 m 是一个固定频率脉冲串。另一个输入信号 C 是一个不时出现的脉冲，它出现在 m 脉冲串的空档里。 C 出现后，在紧接着出现下一个 m 脉冲的同时，应该出现一个输出脉冲 U 。

既已给出了波形，就无需再画流程图，只要将波形稳态加上图 4.80 的编号，就可以画出流程矩阵。

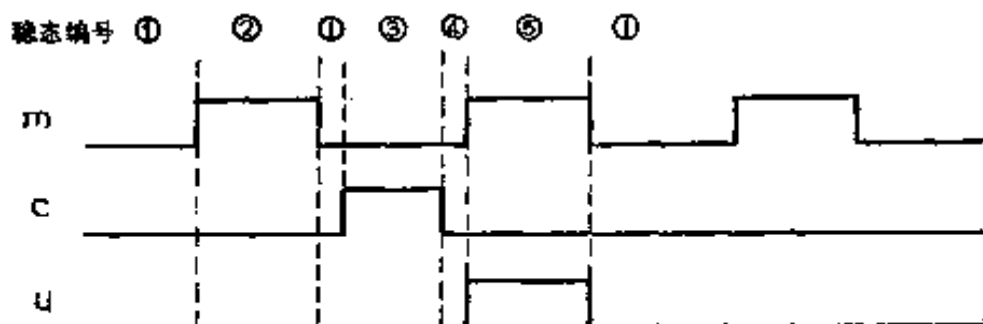


图 4.80

列出真值表就是：

稳态编号	m	c	u
①	0	0	0
②	1	0	0
③	0	1	0
④	0	0	0
⑤	1	0	1

稳态①和④的真值相同，显然要用记忆元加以区别。

五种稳态如果分开来记忆，就需要三个记忆元。进行矩阵行合并后，只要两个记忆元就够了。下面列出第一个设计方案的流程矩阵，电路图及波形图，见图4.81~4.83。输出 U 矩阵已简化为列矩阵。X、Y代表记忆元。布尔方程组是：

$$\left. \begin{aligned} X &\leftarrow m y + x y \\ Y &\leftarrow c + m y + \overline{x} y \\ U &= X \end{aligned} \right\} \text{Ⓢ} \quad (43)$$

第一方案的波形如图4.83所示。

现在对第一方案的流程稍加变动，作出第二方案 第二方案的矩阵示于图4.84中。其布尔式方程组是：

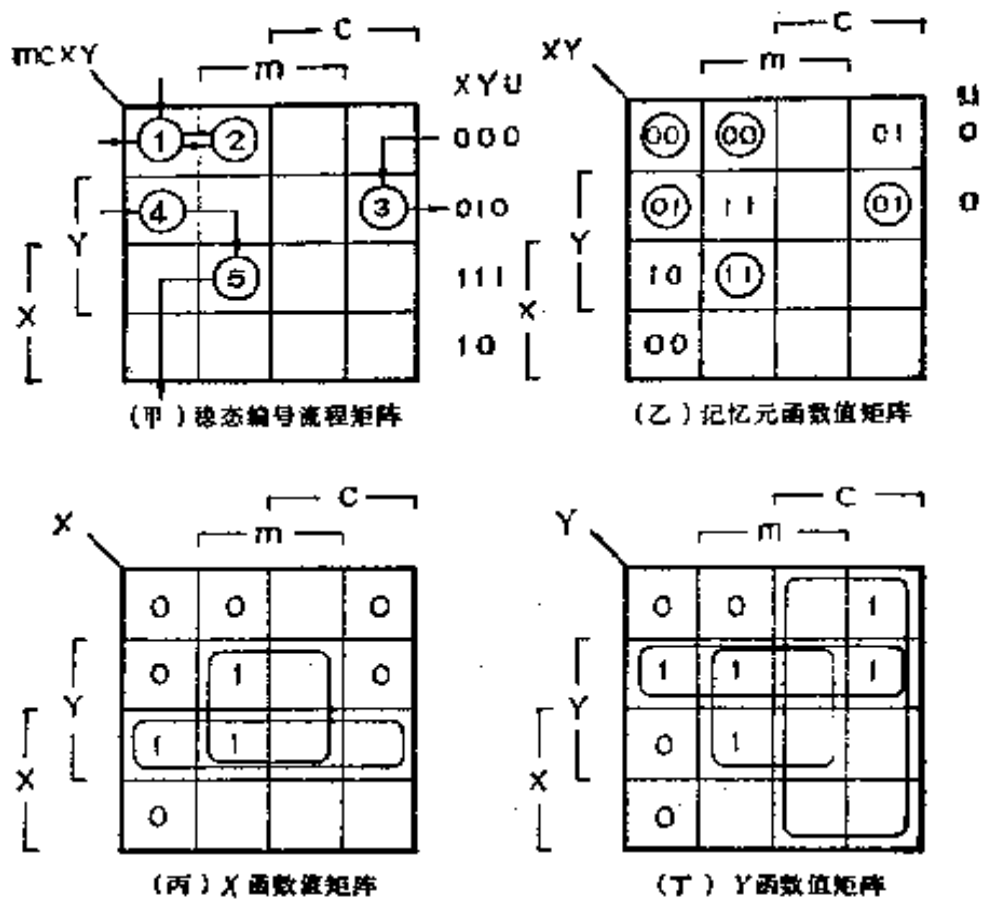


图 4.81

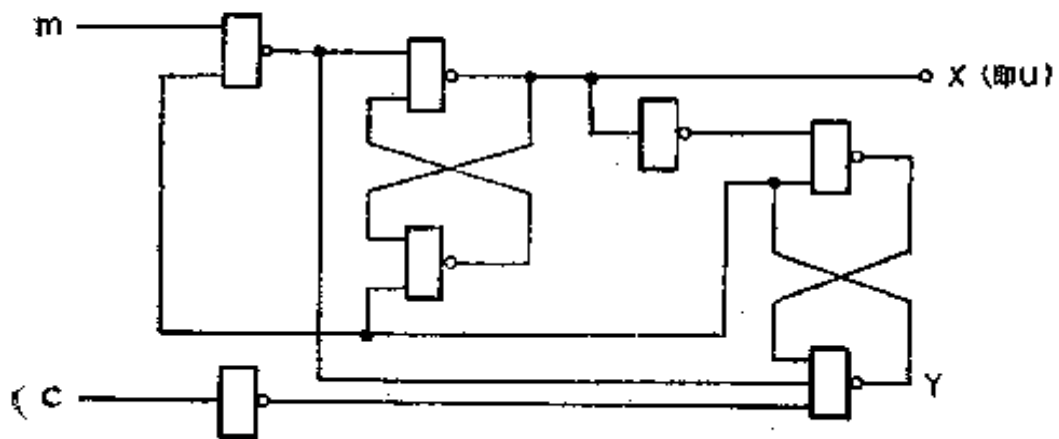


图 4.82

$$\left. \begin{aligned}
 X &\leftarrow m x + m y \\
 Y &\leftarrow C + \bar{x} y \\
 U &= X
 \end{aligned} \right\} \text{ (44)}$$

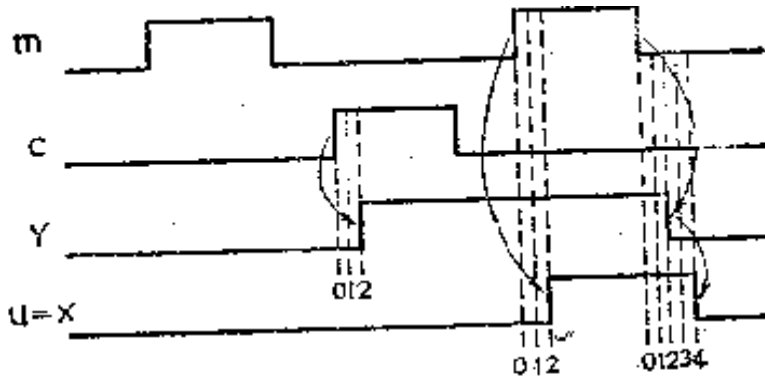


图 4.83

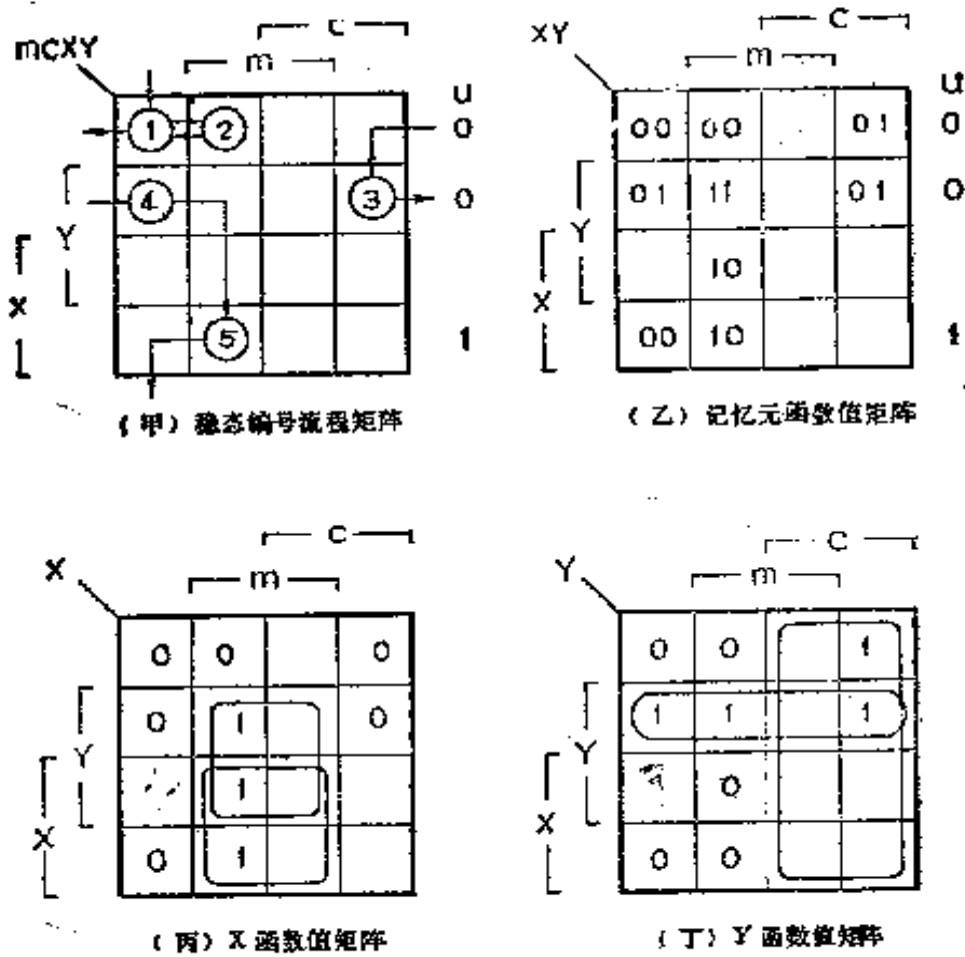


图 4.84

图4.85和图4.86中画出了第二方案电路和波形图。
第二方案比第一方案少一个引入端，而且输出 u 的波形略

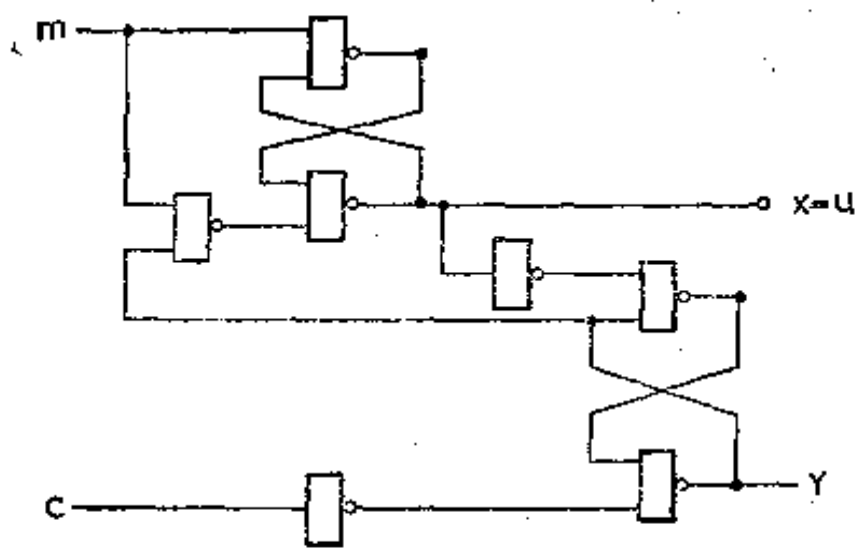


图 4.85

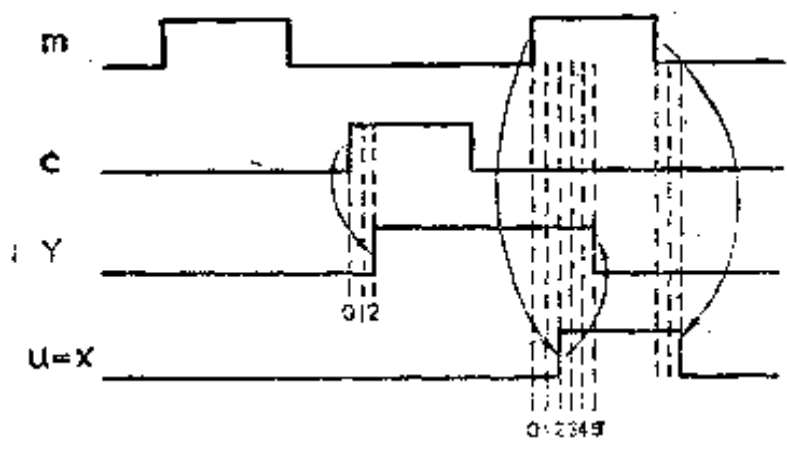


图 4.86

有改进。

从波形图看出，下列方程组也可以满足设计要求，

$$\left. \begin{aligned} X &\leftarrow m y \\ Y &\leftarrow C + \overline{x} y + m y \\ U &= X \end{aligned} \right\} \quad (45)$$

从矩阵看 (45) 式可能竞争，但如用图4.87所示电路，则波形是稳定的。

这个方案比原设计少一个门电路，少三个引入端。

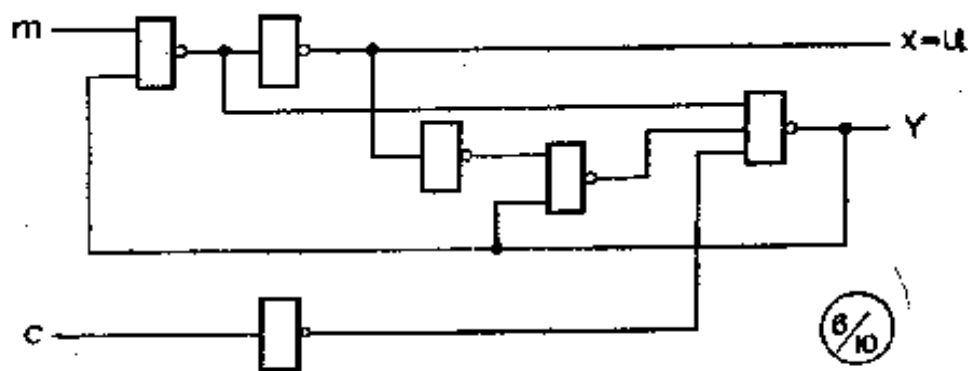


图 4.87

如用下列方程组，可再省一个元件，但电路不稳定。

$$\left. \begin{aligned} X &\leftarrow m y \\ Y &\leftarrow C + \overline{m y} y + m y \\ U &= X \end{aligned} \right\} \quad (46)$$

【例 2】某数据处理机的选通逻辑电路

某数据处理机有一个分辨甲、乙两个不同数据源送来的信号的选通逻辑电路。两个数据源的信号都经过同一通道，以正脉冲 A 的形式输入，但在甲数据源信号出现之前，先从另一输入通道送来一个作为预报的负窄脉冲 R，而乙数据源则没有预报。这样就能分辨甲乙。对输出信号 U 的要求是：在甲数据源的 A 脉冲出现时， $U = 1$ ；在乙数据源的 A 脉冲出现时， $U = 0$ 。由于在某一 A 信号出现的同时，可能出现下一个 A 信号的预报脉冲 R，情况就比较复杂。原设计考虑了图 4.88 中列出的四种输入信号时序。根据这四种时序，应列出 9 种不同的稳态编号，如图 4.89 所示。

为了便于核对，在每一个编号第一次出现时，加上双圈。从图 4.89 中也可以看出稳态编号的四种不同流程。

这九种稳态的真值表在第 88 页上列出。在表中输出 U 这一列未填码的三个编号(①、③、④)上，可根据设计需要任意取

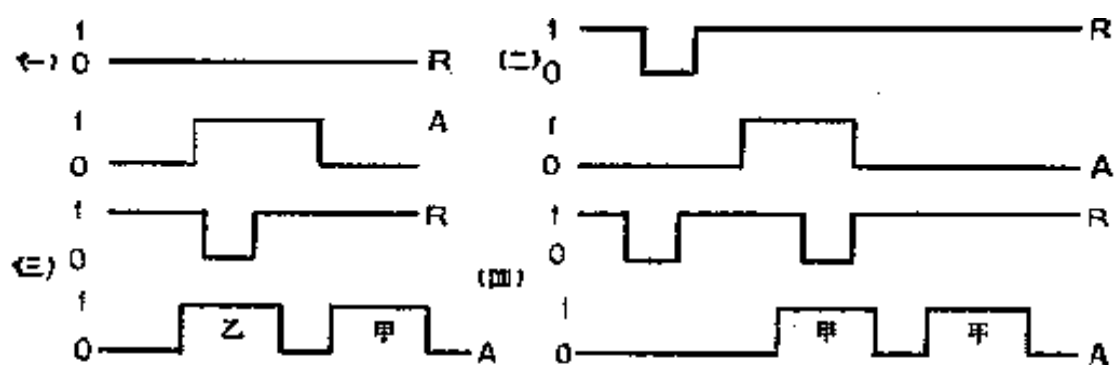


图 4.88

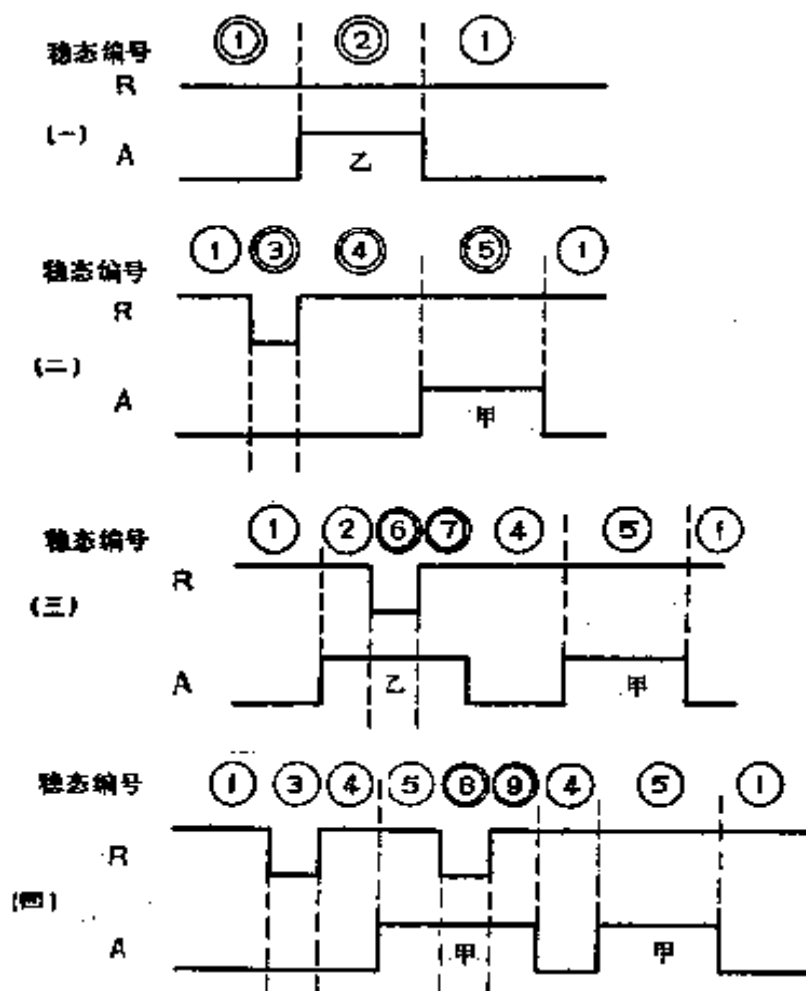


图 4.89

值。

九种稳态，可以按照本章(一)例1指出的条件，合并为五行记忆状态，共用三个记忆元。三个记忆元有八种状态，即矩阵上的八行。八行中用五行，理论上 $8 \times 7 \times 6 \times 5 \times 4 = 6720$ 种排列方法，即使去掉实质上重复的及无法安排流程的，也总还有几百种不同的流程方案可供选择。事实上不可能逐个方案去试，只好凭经验选做几种方案，取其中最佳的

现在只按照原数据处理机设计分析一下，不另编流程。原设计图纸提供的记忆矩阵上各个稳态的位置如图4.90所示。

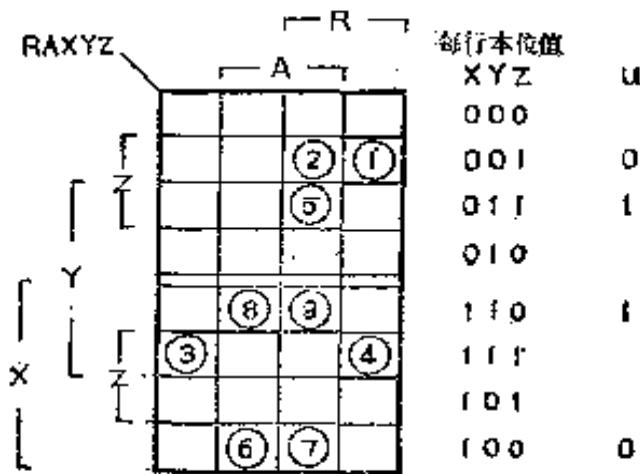
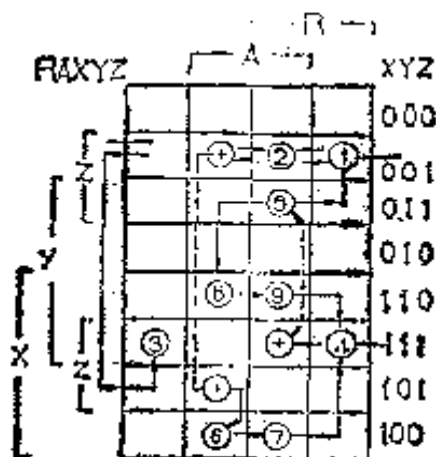
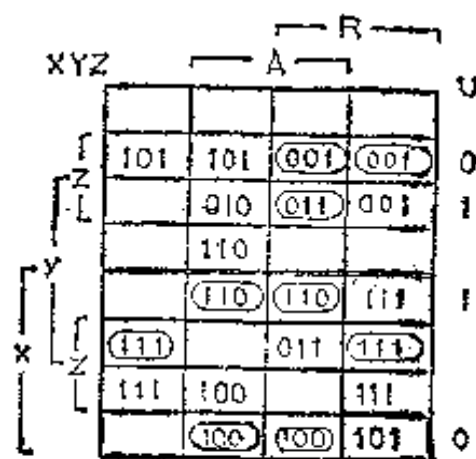


图 4.90

稳态编号	输入		输出
	R	A	
①	1	0	
②	1	1	0
③	0	0	
④	1	0	
⑤	1	1	1
⑥	0	1	0
⑦	1	1	0
⑧	0	1	1
⑨	1	1	1



(甲) 稳态编号流程图



(乙) 函数值矩阵

图 4.91

原设计的这种排列法，目的之一是使 $U = Y$ ，即直接用一个记忆元作输出，省掉输出组合电路。在有条件采用时，这个设计方法是很好的。

在这个稳态矩阵上，可以按逐格推进的方法画图4.89的四个流程并求出布尔方程组，见图4.91。

在图4.92上进行了卡诺图求解。因为卡诺简化圈比较容易搞乱，所以加上编号。简化圈编号表示下面布尔式右方的项

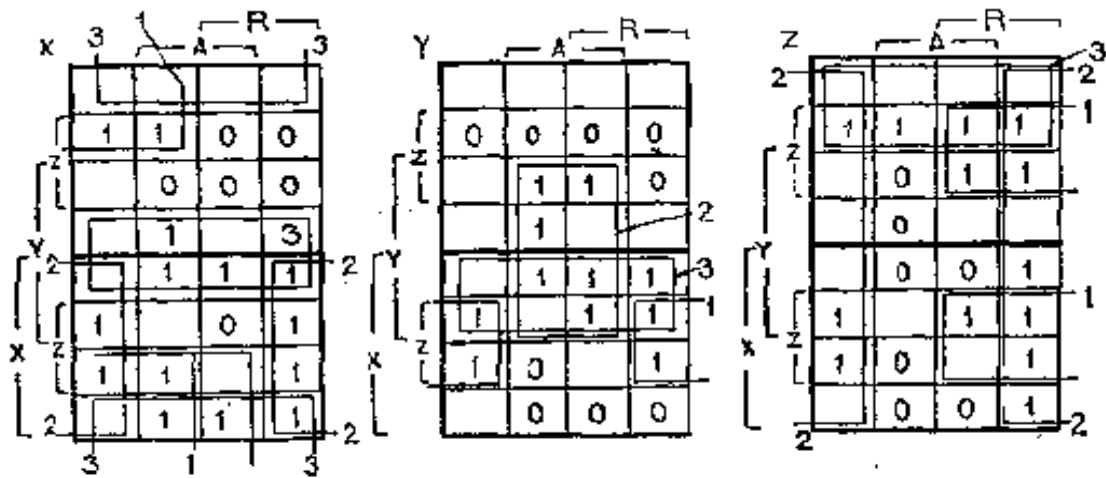


图 4.92

数：

$$\left. \begin{aligned}
 X &\leftarrow \overline{R} \overline{y} + \overline{A} x + \overline{z} \\
 Y &\leftarrow \overline{A} x z + A y + x y \\
 Z &\leftarrow R z + \overline{A} + \overline{x} \overline{y} \\
 U &\leftarrow Y
 \end{aligned} \right\} \text{⑭/28} \quad (47)$$

X波形有空翻，理由见后。

按照数据处理机原设计电路推出来的布尔式是：

$$\left. \begin{aligned}
 X &\leftarrow \overline{R} + \overline{A} x + \overline{z} \\
 Y &\leftarrow \overline{R} \overline{A} + \overline{A} x + x y + A y \\
 Z &\leftarrow R z + \overline{A} \\
 u &= Y
 \end{aligned} \right\} \quad (48)$$

原电路见图4.98, 指标是(11/22), 比方程(47)式好。

从这组方程式反推, 看出原设计的流程不全是逐格推进, 而是部分地采用了越格跃进的方式。图4.93画出了原设计的流程矩阵。图(甲)中①→③、②→⑥、⑤→⑧和⑦→④这四段(标虚线的)流程都是越格跃进的。图(乙)中非稳态格下面划了两个横道的四个函数值表明这种情况, 与图4.91(乙)中的不同。

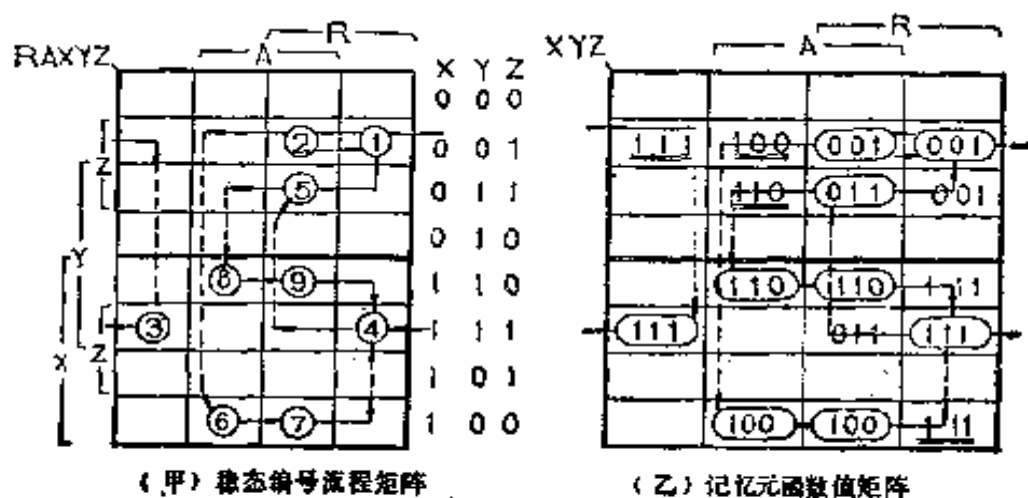


图 4.93

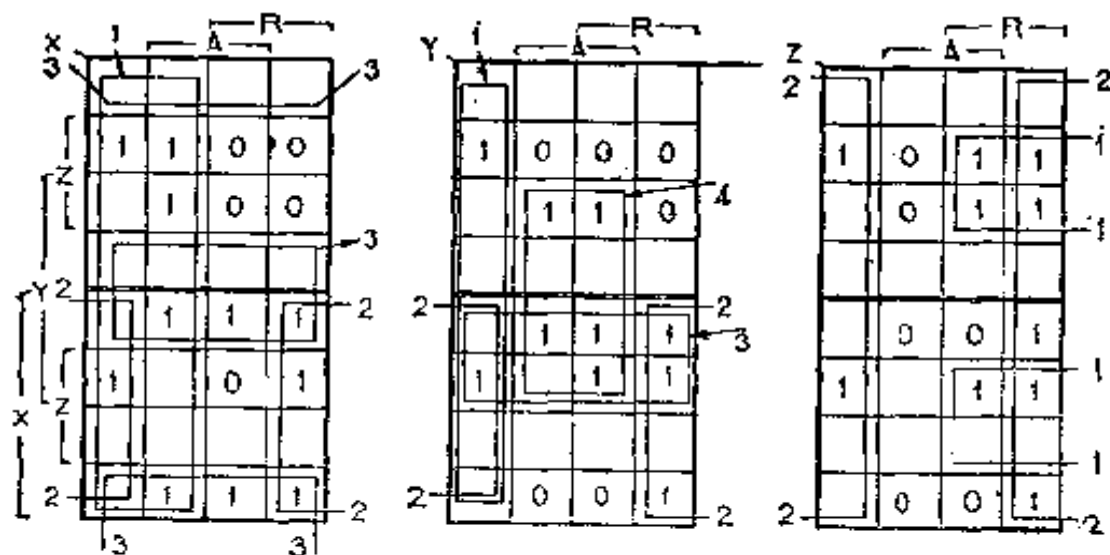


图 4.94

图4.94画出各记忆元的函数值分矩阵及卡诺图解结果。

布尔式见方程组(48)。根据布尔式画出的记忆元四个流程的波形图见图4.95。

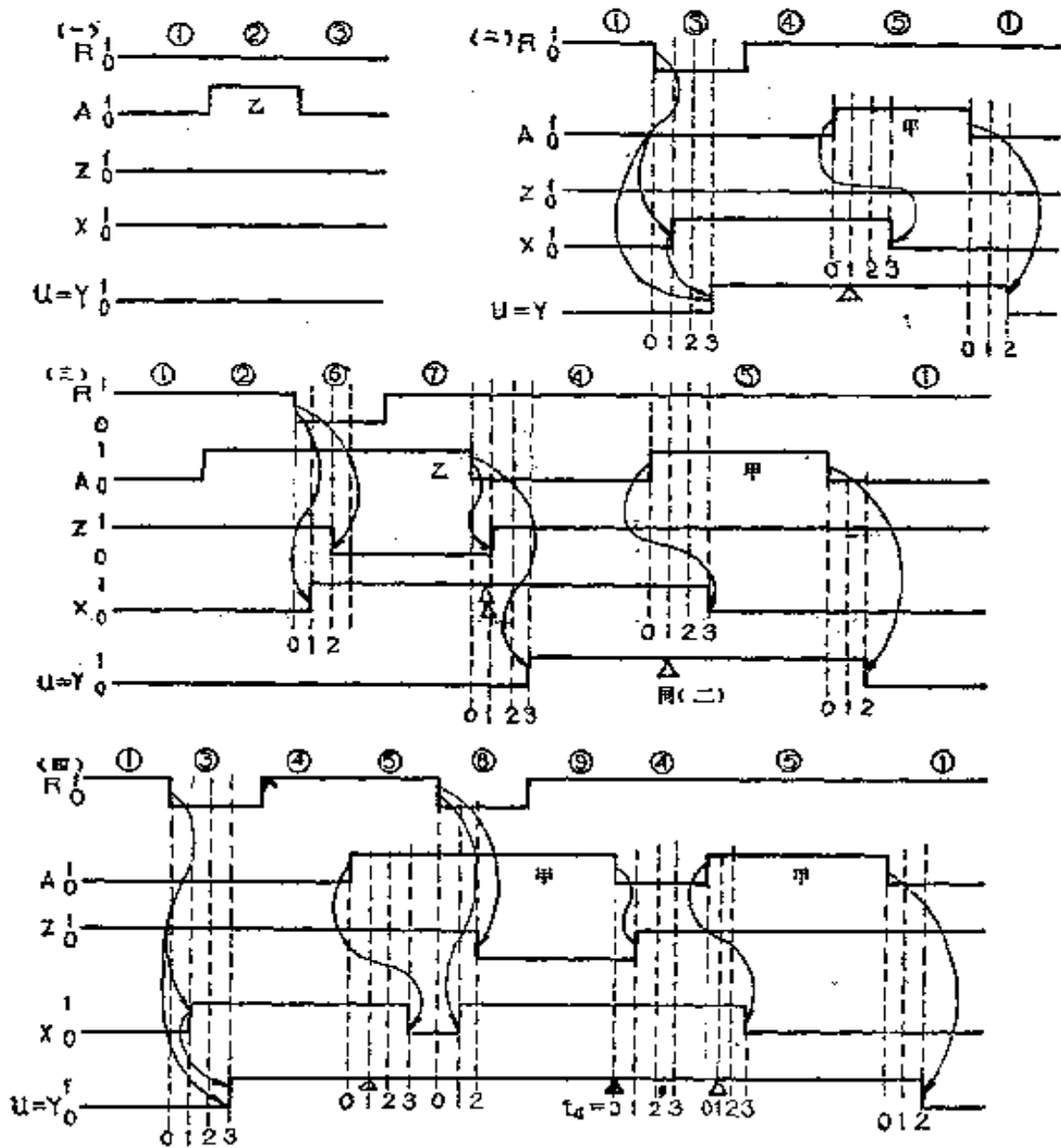


图 4.95

输出 $U = Y$ 的波形是符合设计要求的。

从波形图上可以看出几个问题：

1. Y波形的升起项 $\overline{R}A$ 是多余的, 只要有 $\overline{A}x$ 这一项就足够了。

2. Y波形上加 \triangle 处, 符合本章(二)中二元方案一提出的空翻初步设想(乙), 可不加过渡项 xy ; 在 \blacktriangle 处, 根据设想(甲)应加过渡项 xy 。但如果不加的话, 也只是在 $t_d = 2$ 与3之间, 在Y波形上造成一个小缺口, 问题不大。

3. X波形加有两个 \triangle 处, 因 \overline{z} 消失快, 而 $\overline{A}x$ 要经过一个“非”门, 出现慢, 肯定会有空翻。原设计Z电路在A这条线上加了两个“非”门, 使 \overline{z} 在 $3t_d$ 之后才消失, 消除了X的

“空翻”, 是很有道理的。

根据这些看法, 我们将Z电路的A线上加时延 $2t_d$, 并在Y电路中去掉 xy 这一项。进行这样的处理后, 流程⑨ \rightarrow ④的情况见图4.96。

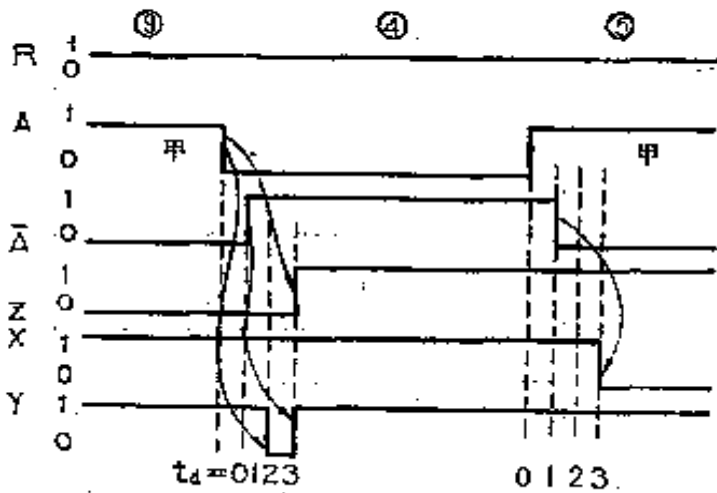


图 4.96

原设计的流程矩阵是一个采用越格跃进流程的很成功的例子。我们在可能有竞争的格内按图4.94的卡诺图填入函数值(见图4.97的虚线码), 然后仔细检查, 证实确实没有竞争的危险, 是一个很好的设计。

前面提到的Z电路A线上加时延, 并不影响流程矩阵。Y电

		A		R	
		100			
Z	Y	111	100	001	001
		111	110	011	001
X	Z		110		
			110	110	111
		111	110	011	111
			100		111
			100	100	111

图 4.97

路中去掉 xy 这一项，也不影响矩阵，因为 xy 这一项的卡诺圈在图4.94的 Y 函数矩阵上，本来就是跟别的圈全部重叠的。只有 Y 电路去掉 $\overline{R}A$ 时，才影响图4.93的矩阵。矩阵能不能改呢？可以的。只要将图4.91流程矩阵最左一行换到图4.93矩阵上去就行了。这样换了以后，仅说明①→③这段原设计为越格跃进的流程，现在改为逐格推进流程而已，对矩阵其他部分毫无影响。

作了这些改动后的新设计的布尔方程是：

$$\left. \begin{aligned} X &\leftarrow \overline{R} + \overline{A}x + z \\ Y &\leftarrow \overline{A}x + Ay \\ Z &\leftarrow Rz + \overline{A} \\ u &= Y \end{aligned} \right\} \textcircled{\frac{9}{10}} \quad (49)$$

电路见图4.98。

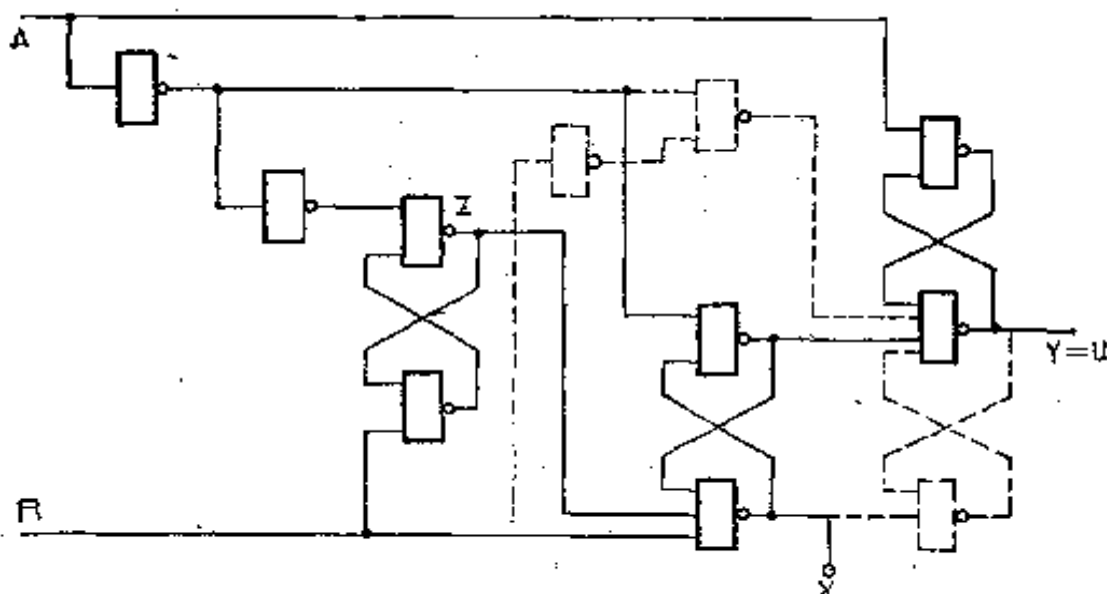


图 4.98

电路图上虚线画的是原设计中有而新设计中去掉了的部分。新设计比原设计少用3个元件和7个引入端。

(六) 小 结

时序电路的设计要求一般以文字、真值表或波形图形式提出。“与非”门电路设计步骤如下：

(1) 将设计要求用**稳态编号流程图**及**波形图**表达出来。

(2) **压缩稳态编号**。合并的编号应具备三个条件，见本章(一)的例1。

(3) 根据稳态编号的数目，考虑需要的记忆元。可以按本章(一)例1提出的条件，**适当压缩记忆元的数目**，画**稳态编号流程矩阵**。

(4) 根据稳态流程矩阵编定**记忆元函数值矩阵**及**输出信号矩阵**。

(5) 用卡诺图解法从函数值矩阵**求出布尔代数式**。

(6) 从布尔代数式**画出电路**，完成设计方案。

(7) **计算电路指标**（“门”数/引入端数）。

(8) **核对设计正确性**；主要检查设计方案的波形。

以上介绍的步骤又可称为时序“门”电路**八步设计规范**。为了准确而迅速地进行设计，提出应该注意的几点。

卡诺图解法用于时序电路时，关键在弄清楚“本位值”与“函数值”两个概念以及它们之间的关系。“本位值”是由矩阵小方格的位置所决定的，在组合电路中，它表示输入信号的综合状态，“函数值”在组合电路中表示输出的综合状态。

在时序电路中，**矩阵表示电路综合状态的动态流程**。在时序矩阵中，我们规定**顶标**（表明各列的状态）是输入信号，而**侧标**（表明各行的状态）是记忆元。这样，矩阵中每小格的本位值就是由小格位置决定的输入信号与记忆元的综合状态，而

小格中填入的函数值表示流程进入此格经过一段瞬变过程后的记忆元的状态。这个状态如果和记忆元的本位值相符，则流程就停在此格，而此格称为**稳态格**；否则流程应向上或向下移动，直至找到相符的格为止。流程在垂直运动中经过而不停留的诸格都是**非稳态格**。

由于上述顶标与侧标的规定，并因流程的起动的都是输入信号状态变化造成的，我们就可以提出：离开某一小格的流程总是先横后竖，流程的水平流动方向是任意的（但必然是按格雷码逐格移动的），而垂直的流程方向是由电路决定的，因而是**唯一的**（流程到达某一小方格后，垂直方向的运动只能是三者之一：或停住，或向上，或向下），这是流程正确性的主要条件。

画出正确的记忆元函数值流程矩阵，就基本完成了一个设计方案。因为对函数值矩阵作卡诺图解，求出布尔方程式，进而画电路图，都是很容易的。

设计过程中我们提出了三项简捷方法：

（甲）从卡诺图解得出的布尔方程式，不经代数变换直接画出“与非”门电路图。见第二章公式Ⅺ及下面的说明。

（乙）从布尔式直接计算电路指标。见本章（一）例1。

（丙）从布尔式直接根据设计要求中的输入信号时序，画出电路状态的波形。见本章（一）例2。

这三种方法，不仅使设计大为方便，而且可以减少错误。特别是（丙）法节省时间效果最好。一般设计是从电路图画波形，要逐个元件核算，既费事，又容易错。如果采用（丙）法，则根本不需要画电路；波形如有错误，也容易检查改正^⑥。

检查波形特别要注意“空翻”。“空翻”主要是由于函数式中上升项与延续项的连接不完善造成的。我们已指出了在什

么情况下应特别注意空翻，以及如何补救；后面还将说明“空翻”有时是有益的。

掌握了前面提出的“八步设计规范”，又利用这三种简捷处理方法，时序“门”电路的设计，就是一件比较轻便的任务。对同一个项目，可以在短期内完成几个或十几个不同方案的设计，从中选出一个最佳的。

对现有电路进行分析是一件比较容易的任务。首先，不难从电路写出布尔式，从布尔式就可以画出函数值矩阵，从矩阵上看出稳态，然后设想出输入信号作各种变动时记忆元状态的流程。请参阅本章(一)例2中方案2及本章(五)例2。

输出电路往往直接从记忆元引出，如带有组合电路，则应分别处理。

卡诺图解法的缺点是变元太多时人工处理困难。我们的经验是：输入信号或记忆元直到5元都还是可以处理的。5个记忆元就有32个记忆状态，可以处理五、六十个稳态，一般电路够用了。

更复杂的逻辑，应该采取通用的化整为零的“模块法”。这是工程技术人员都很熟悉的，本书最后一章最后一例中，将说明这种方法。

第五章 触发器的矩阵

(一)初步设想

触发器的基础，是我们在第四章开始称为**反馈式记忆元**的电路（图5.1）。现在先按电路求布尔方程组，然后列出矩阵（图5.2），标明稳态（带圈的是稳态）。

$$\left. \begin{aligned} Q &\leftarrow \overline{S} + \overline{P} \\ P &\leftarrow \overline{R} + \overline{Q} \end{aligned} \right\} \quad (1)$$

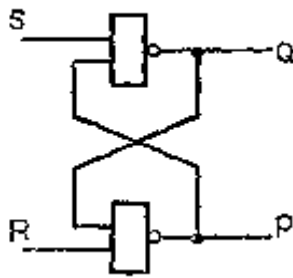


图 5.1

		S		
		R		
		00	01	11
		01	01	01
		11	10	01
		11	10	10
		00	01	10
		00	01	10

图 5.2

为了简化说明，我们给输入信号 S 、 R 的状态作如下的编号： $\ominus 00$ ； $\ominus 01$ ； $\ominus 10$ ； $\textcircled{IV} 11$ 。

图5.3中画出SR状态的流程。分别画了两种流程图。图5.3(甲)是单码变换流程，每步流程只允许 S 、 R 之中的一个信号变值，图5.3(乙)是双码变换流程。

现将图5.2函数值矩阵上的稳态编号，并按图5.3要求，画出流程矩阵如图5.4所示。单码变换和双码变换两种情况下的QP稳态流程进一步由图5.5和5.6说明。

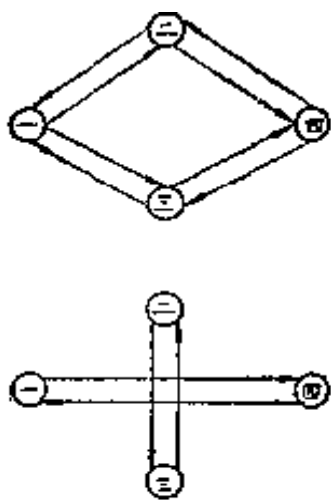


图 5.3

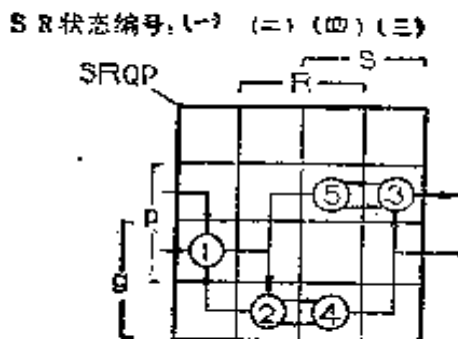
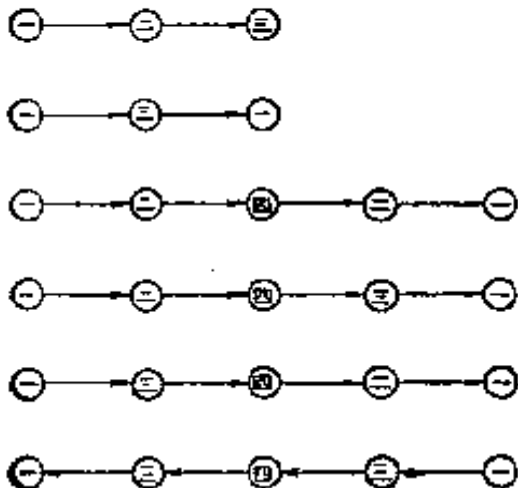


图 5.4

单码变换流程

输入信号 S R 编号流程



输出信号 Q P 稳态流程

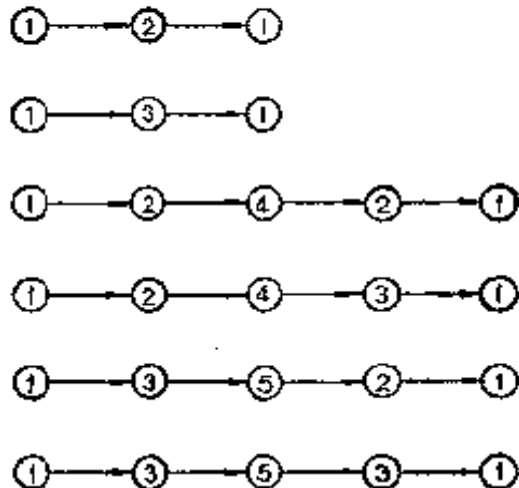


图 5.5

图5.6中应该注意的是,由于在输入状态④, $SR=11$ 时, QP 有④、⑤两个稳态,因此 SR 流程从①→④及从③→④时, SR 状态④的 QP 稳态不同,一是④,一是⑤。

QP 流程箭头上面和下面的数码指流程中间过渡稳态号。应该注意的是①→④这个流程是不肯定的,在电路上不能用,否则要造成错乱的后果。

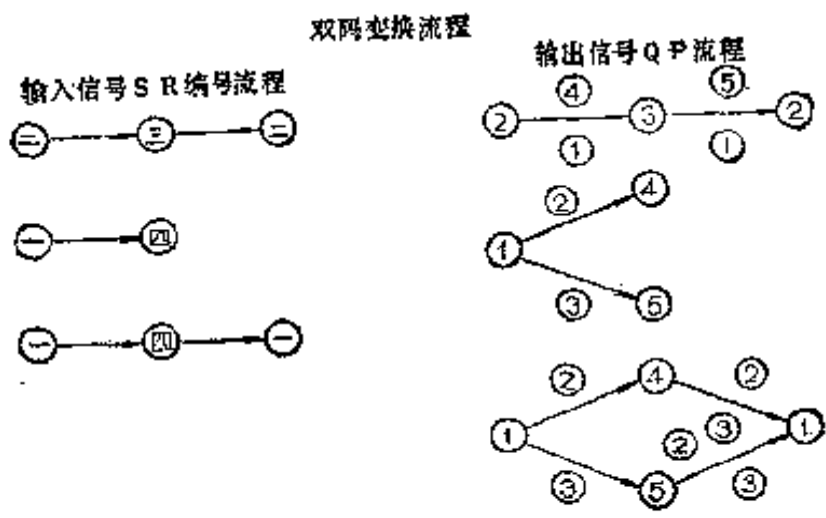


图 5.6

图5.7是一个实用价值较大的电路，我们称它为RS触发器的初型。（图中的 m 是一串窄的同步脉冲，称为“时钟”）其

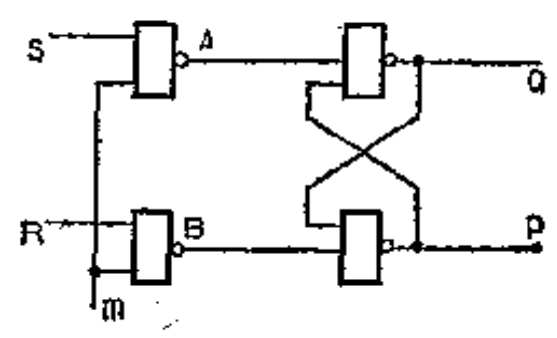


图 5.7

布尔式如下：

$$\left. \begin{aligned} Q &\leftarrow m s + \overline{p} \\ P &\leftarrow m R + \overline{q} \end{aligned} \right\} \quad (2)$$

稳态矩阵见图5.8。

这种触发器的特点，是当 $m=0$ 时， Q 、 P 一定处于互非的状态。

RS 触发器的特点可用 $m \uparrow \downarrow$ 后 Q 、 P 的稳态与 S 、 R 状态的关系来说明； SR 分别为 00、01、11、10 时， QP 分别表示“不

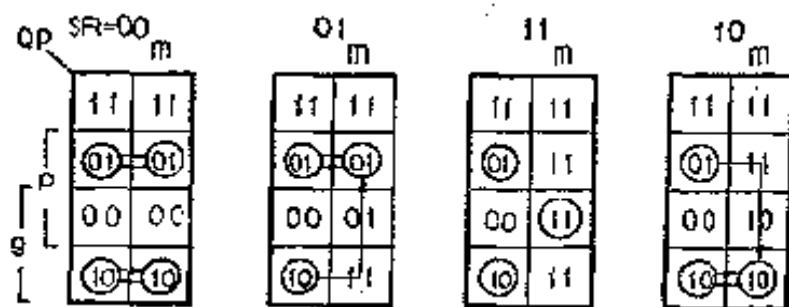


图 5.8

变”、“01”、“不定”、“10”。

这个关系也可用表5.1表示。表5.1中 Q 指当前的 Q 值； Q_+ 指下一步的 Q 值； P 值就是 \bar{Q} 值。

表 5.1

S	R	Q_+
0	1	0
1	0	1
0	0	Q
1	1	不定

(二)主从式RS触发器

下面讨论触发器时，为简单起见，不涉及初始状态设置问题。

图5.7这个RS触发器初型虽已满足了表5.1RS触发器动态的要求，但有一个严重的前沿触发的缺点，即 QP 的状态变化是在 $m=1$ 的状态下进行的（参见图5.8）。这个缺点明显地表现在两个或多个RS触发器连用的时候。

首先要指出在图5.7这个电路中，如果 $m=0$ ， SR 的状态无论如何变化，对 QP 状态不起任何作用。 SR 只能在 $m=1$ 时

影响 QP 的状态。现在假定两个触发器串接，如图5.9所示，而

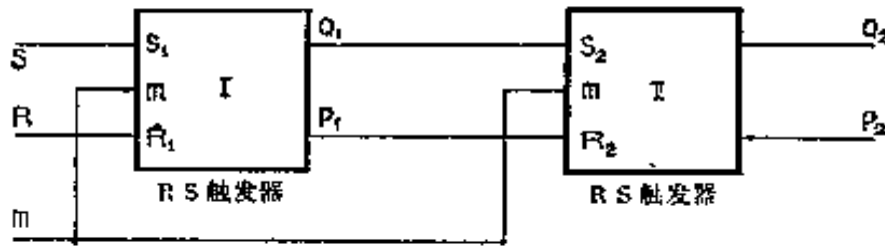


图 5.9

$m = 0$ 。触发器 I 和 II 的 S 、 R 端都有各自的电位，在 $m \uparrow \downarrow$ 时，它们将分别对各自 Q 、 P 端状态发生影响；根据 SR 的电位，可以使 QP 保留在原状态，也可以使 QP 的状态转换。这个影响分两部分，它在 $m \uparrow$ 时开始，在 $m \downarrow$ 时结束，这从图5.8的流程图上看得很清楚。如果触发器电路是前沿触发的，则变态在 $m = 1$ 的状态下形成；如果是后沿触发，则变态在 $m \downarrow$ 后，即 $m = 0$ 时形成。在图5.9中，假定触发器都是前沿触发的而初始状态是： $S = 1$ ， $R = 0$ ； $Q_1 = 0$ ； $P_1 = 1$ ； $Q_2 = 1$ ； $P_2 = 0$ 。当 $m \uparrow$ 时， QP 状态立即变为： $Q_1 = 1$ ， $P_1 = 0$ ； $Q_2 = 0$ ， $P_2 = 1$ 。但当 Q_1 、 P_1 变态之后，立刻又使 S_2 、 R_2 变值，进而使 Q_2 、 P_2 再次变换为 $Q_2 = 1$ ， $P_2 = 0$ 。

这种先后两次变态，实际上使两个串联的触发器起单个触发器的作用，串联就成为无意义的了。如果 Q_2 或 P_2 又反馈到触发器 I 的 S_1 和 R_1 端，则情况更复杂了。但若触发器是后沿触发的，则没有这些矛盾。因为那样的话， SR 对 QP 所起的作用，虽然在 $m \uparrow$ 阶段开始，但在 $m = 1$ 这一段期间，变态的是触发器内部的记忆元，而 Q_1 、 P_1 的状态不变，下一个触发器的 $S_2 R_2$ 状态保持不变。在 $m \downarrow$ 后，触发器 I 的 $Q_1 P_1$ 状态变了，但此时 $m = 0$ ，触发器 II 的 $S_2 R_2$ 虽然变化，却不能对 $Q_2 P_2$ 起作用。这样，两个或多个触发器就可以任意串联，或者反馈连

接，而不至于发生上述两次或多次连续变态的弊病。

主从式RS触发器就是后沿触发器的一种。下面用矩阵来分析两个方案。

第一种方案简称为ZCRSI。为了说明这一方案是如何想出来的，我们先把两个RS初型串在一起（见图5.10），看看能不能改成后沿触发。

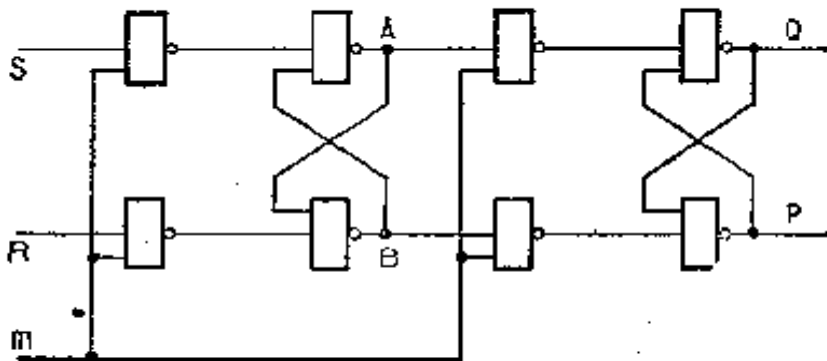


图 5.10

图5.10的布尔式如下：

$$\left. \begin{aligned} A &\leftarrow m S + \overline{b} \\ B &\leftarrow m R + \overline{a} \\ Q &\leftarrow m a + \overline{p} \\ P &\leftarrow m b + \overline{q} \end{aligned} \right\} \quad (3)$$

图5.11是(3)式的流程矩阵。从流程可以看出，这个电路也是前沿触发的，没有优越性。

但可以进一步作试验，把第二个RS的时钟脉冲改用 \overline{m} 试试看。电路见图5.12，流程见图5.13。

图5.12的布尔式如下：

$$\left. \begin{aligned} A &\leftarrow m S + \overline{b} \\ B &\leftarrow m R + \overline{a} \\ Q &\leftarrow \overline{m} a + \overline{p} \\ P &\leftarrow \overline{m} b + \overline{q} \end{aligned} \right\} \quad (4)$$

		SR = 00		01		11		10		每行本位置
		m		m		m		m		Q B R P
L	P	0110	0111	0110	0111	0110	1111	0110	1111	0110
		0100	0101	0100	0101	0100	1101	0100	1101	0111
		0100	0101	0101	0101	0101	1101	0101	1101	0101
L	R	0111	0111	0111	0111	0111	1111	0111	1111	0100
		0011	0011	0011	0111	0011	1111	0011	1011	1100
		0001	0011	0001	0111	0001	1111	0001	1011	1101
		0000	0011	0000	0111	0000	1111	0000	1011	1111
L	L	0010	0011	0010	0111	0010	1111	0010	1011	1110
		1010	1010	1010	1110	1010	1110	1010	1010	1010
		1000	1010	1000	1110	1000	1110	1000	1010	1011
		1001	1011	1001	1111	1001	1111	1001	1011	1001
L	L	1011	1011	1011	1111	1011	1111	1011	1011	1000

图 5.11

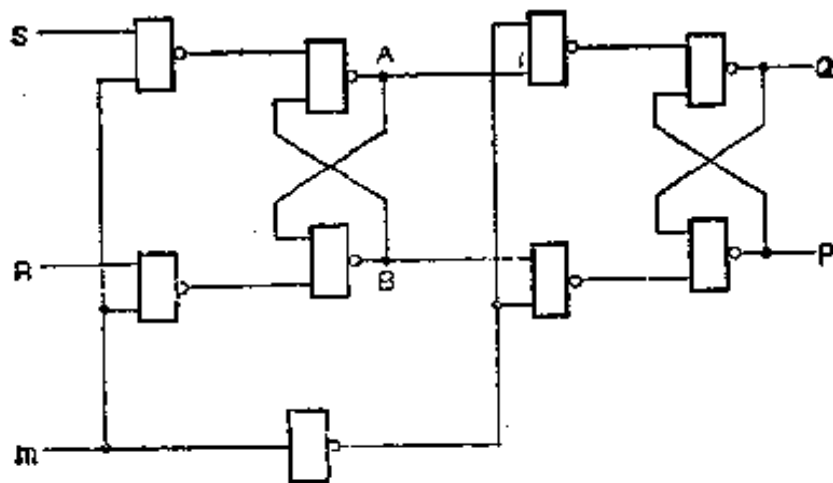


图 5.12

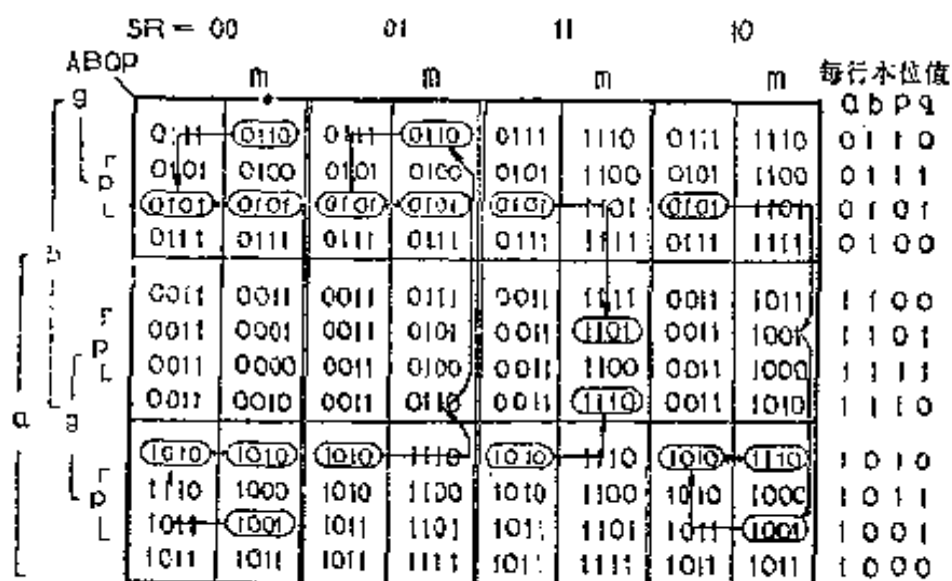


图 5.13

这次试验是成功的。从流程看，图5.12的电路是一个真正的后沿触发的RS触发器。Q、P的变态都在 $m \downarrow$ 以后进行。这种电路是一种主从式触发电路。所谓“主从”的意思，从流程

矩阵中SR=01及10两列可以看出。在 $m \uparrow$ 后，前一个初形RS（即A、B两端）立即在 $m = 1$ 阶段随S、R的状态而置位。到 $m \downarrow$ 后A、B状态再驱使Q、P随S、R状态而置位。仔细分析一下两个较长的流程1010→0101及0101→1010就可以证明这一点。Q、P之值在 $m = 1$ 时不管流程如何跳跃，总是稳定不变的。这就使多个触发器能联合工作了。

这个电路还有一个特点，就是在 $m = 0$ 这些列上，稳态始终只有

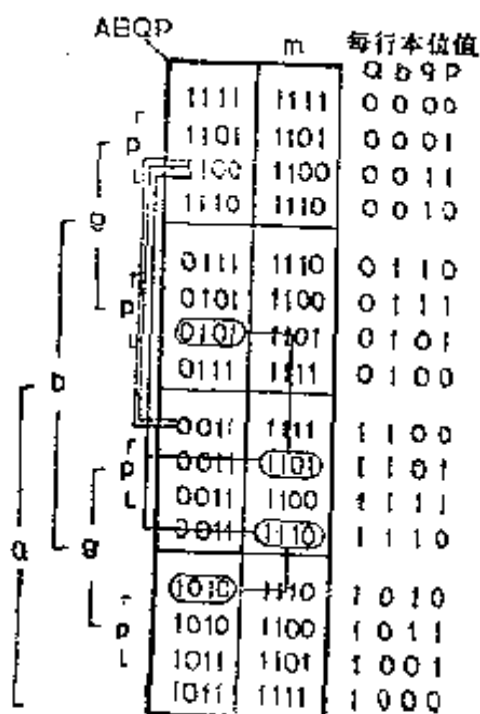


图 5.14

0101及1010两个位置。因此，如果S、R在 $m=0$ 时变动，稳态值都是恒定不变的。以上这些特点都说明这个电路有实用价值。ZCRS I是主从式RS触发器 I 型的缩写。

SR=11这个状态禁止使用。图5.14中将它的流程单独表示出来。可以看出从 $m=0$ 状态开始 $m \uparrow \downarrow$ 后，电路处于一个来回振荡的非稳定状态下，是无法应用的。

主从式RS触发器的第二个方案——ZCRS II是从ZCRS I演变出来的，演变目的是想省去 \bar{m} 这个“非”门，增加对称性。办法是利用 $\bar{m}S$ 及 $\bar{m}R$ 两个“与非”门（见图5.15），很容易看出，当 $S=R=1$ 时，这两个“与非”门的输出都是 \bar{m} 。ZCRS I 的电路及流程矩阵分别如图5.15和5.16所示。

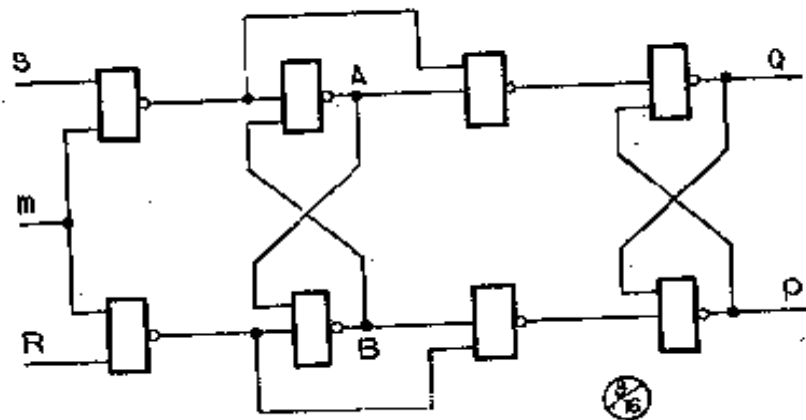


图 5.15

ZCRS II 的布尔式如下：

$$\left. \begin{aligned}
 A &\leftarrow m S + \bar{b} \\
 B &\leftarrow m R + \bar{a} \\
 Q &\leftarrow \bar{p} + a \bar{m} S (= \bar{p} + \bar{m} a + S a) \\
 P &\leftarrow \bar{q} + b \bar{m} R (= \bar{q} + \bar{m} b + R b)
 \end{aligned} \right\} \quad (5)$$

图5.16所示矩阵虽然与ZCRS I 的矩阵有些区别，但在流程经过的格子里，变元的函数值是完全相同的。

最后，再介绍另一方案，称为RS II。电路图示于图5.17

		SR = 00		01		11		10		每行本位值
ABQP		m		m		m		m		abqP
a	r	0111	0111	0111	0110	0111	1110	0111	1111	0110
		0101	0101	0101	0100	0101	1100	0101	1101	0111
	0101	0101	0101	0101	0101	1101	0101	1101	0101	
	0111	0111	0111	0111	0111	1111	0111	1111	0100	
b	r	0011	0011	0011	0111	0011	1111	0011	1011	1100
		0011	0011	0011	0111	0011	1101	0011	1001	1101
	0011	0011	0011	0110	0011	1100	0011	1001	1111	
	0011	0011	0011	0110	0011	1110	0011	1011	1110	
c	r	1010	1010	1010	1110	1010	1110	1010	1010	1010
		1010	1010	1010	1110	1010	1100	1010	1000	1011
	1011	1011	1011	1111	1011	1101	1011	1001	1001	
	1011	1011	1011	1111	1011	1111	1011	1011	1000	

图 5.16

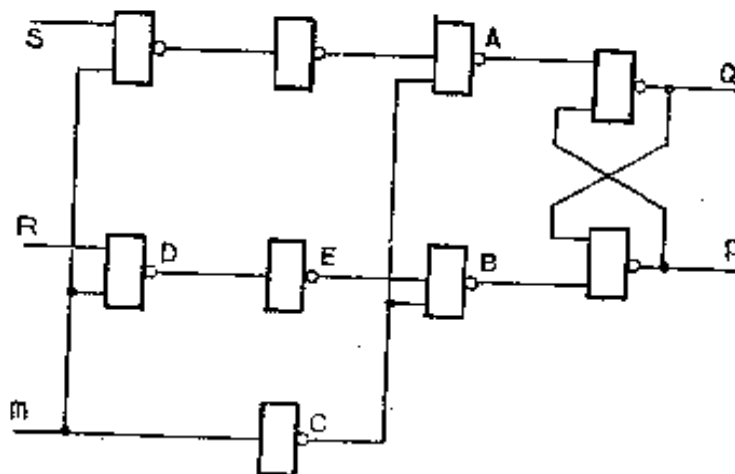


图 5.17

中。

RS II 的布尔式如下：

$$\left. \begin{aligned}
 A &\leftarrow m + \overline{m} S (= m + \overline{m} + \overline{S}) \\
 B &\leftarrow m + \overline{m} R (= m + \overline{m} + \overline{R}) \\
 Q &\leftarrow \overline{a} + \overline{p} \\
 P &\leftarrow \overline{b} + \overline{q}
 \end{aligned} \right\} (6)$$

如果认为 $m + \bar{m} = 1$ ，则 $A = B \equiv 1$ ，这就成为一个无意义的电路。但是，根据前一章关于隐患的讨论，我们知道可能有 $m + \bar{m} < 1$ 的情况。这就是说，在 $S = 1$ 时， A 可能为空翻；在 $R = 1$ 时， B 可能为空翻。现在以 $SR = 01$ 的波形为例说明，见图 5.18。



图 5.18

从图中可见， B 函数波形上有一个空翻小缺口。但现在这个空翻不是祸害而是“福星”，它起了推进触发器流程的作用。现以这个 \bar{b} 为触发脉冲看一下 A 、 B 、 Q 、 P 的流程，参见图 5.19。

这个流程完全符合 RS 触发器的设计要求。用类似的推导，可以证明在其他 SR 状态下，这个电路也是符合设计要求的。

空翻的 \bar{b} 或 \bar{a} 脉冲在 $m \downarrow$ 后出现， QP 的整个转换过程都是在 $m = 0$ 期间进行的。因此，这个电路属于后沿触发型类，有实用价值。

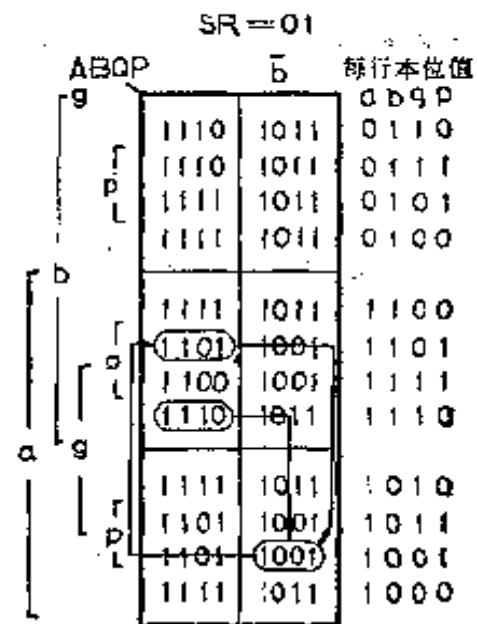


图 5.19

(三) JK 触发器

JK触发器的输出也是 Q 、 P 两个互“非”的变元。输入为时钟信号 m 及控制信号 J 、 K 。输入与输出的关系见表5.2。

表 5.2

J	K	Q
0	1	0
1	0	1
0	0	\overline{Q}
1	1	\overline{Q}

从表5.2及表5.1可以看出，JK触发器与RS触发器区别在于 $JK=11$ 这一档。在这一档上，JK触发器是稳定的。这往往能起简化电路的作用。

下面列举JK触发器的两种设计方案。它们都可以称为主从

式JK触发器。

第一个方案是ZCRS I 电路加上输出端到输入端的反馈(图5.20)。我们称为JK(甲)。

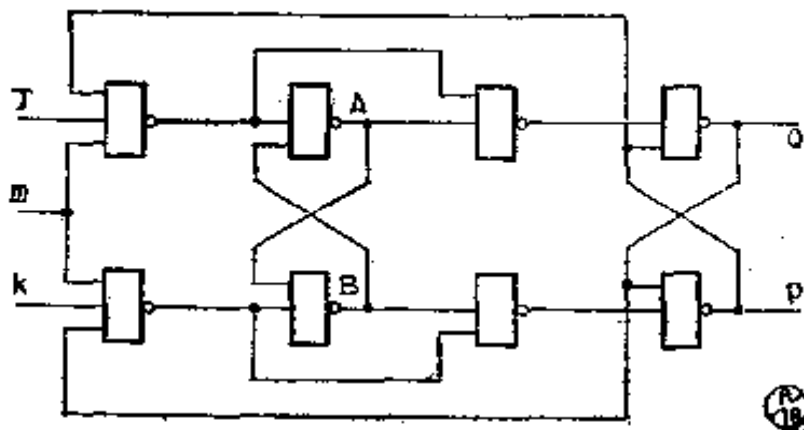


图 5.20

JK(甲)的布尔式如下：

$$\begin{aligned}
 A &\leftarrow \overline{b} + m J P \\
 B &\leftarrow \overline{a} + m K q \\
 Q &\leftarrow \overline{p} + a m J \overline{p} (= \overline{p} + \overline{m} a + \overline{J} a + a \overline{p} \\
 &\quad = \overline{p} + \overline{m} a + \overline{J} a = \overline{p} + a m J) \\
 P &\leftarrow \overline{q} + b m K q (= \overline{q} + \overline{m} b + \overline{K} b + b \overline{q} \\
 &\quad = \overline{q} + \overline{m} b + \overline{K} b = \overline{q} + b m K)
 \end{aligned}
 \tag{7}$$

JK(甲)的函数值流程矩阵示于图5.21中。

ABQP		JK =				本位值				
		00	01	11	10	m	a	b	q	
q	r	0111	0111	0111	0110	0111	0110	0111	0111	0110
	p	0101	0101	0101	0100	0101	1100	0101	1101	0111
	L	0101	0101	0101	0101	0101	1101	0101	1101	0101
	L	0111	0111	0111	0111	0111	0111	0111	0111	0100
b	r	0011	0011	0011	0011	0011	0011	0011	0011	1100
	p	0011	0011	0011	0011	0011	1001	0011	1001	1101
	L	0011	0011	0011	0110	0011	1100	0011	1001	1111
	L	0011	0011	0011	0110	0011	0110	0011	0011	1110
a	r	0010	0010	0010	1110	0010	1110	0010	0010	1010
	p	1010	1010	1010	1110	1010	1100	1010	1000	1011
	L	1010	1011	1011	1010	1011	1001	1011	1001	1001
	L	1011	1011	1011	1011	1011	1011	1011	1011	1000

图 5.21

仔细看看JK=11这一列矩阵的流程，可知这是一个后沿触发二进器的矩阵。实际上这就是第四章四元方案A那个二进器。比一比矩阵，比一比电路，再比一比布尔式，就一目了然了。

可以作这样的论断：主从式JK触发器是以后沿触发二进器为基础加上JK两个输入端组成的。任何这种类型的二进器都可改装为触发器。关键在于加上J=0这个输入时，要切断原二进器Q从0变1的流程，而使Q在m↑↓后保持0值；在

$K=0$ 时，要切断原二进制 Q 从1变0（即 P 从0变1）的流程，而使 Q 在 $m \uparrow \downarrow$ 后保持1值；在 $JK=11$ 时，原二进制流程不变。

用类似的接法，可以将ZCRS I改接为JK触发器，这是第二个方案。我们可以称它为JK(乙)。电路见图5.22。

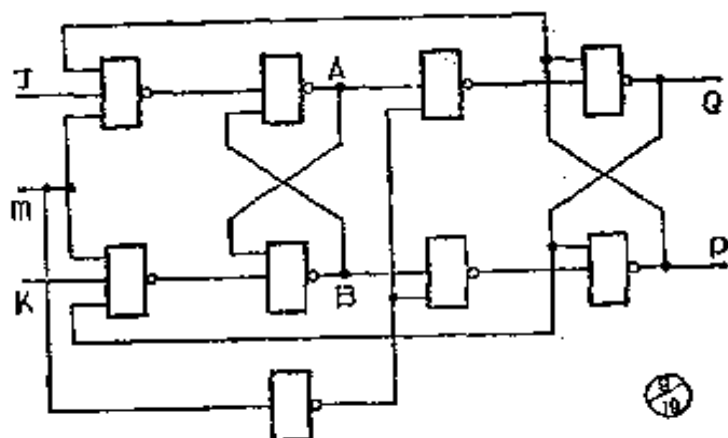


图 5.22

JK(乙)的布尔式如下：

$$\left. \begin{aligned} A &\leftarrow \bar{b} + m J P \\ B &\leftarrow \bar{a} + m K Q \\ Q &\leftarrow \bar{p} + \bar{m} a \\ P &\leftarrow \bar{q} + \bar{m} K \end{aligned} \right\} \quad (8)$$

习 题

1. 画出JK(乙)的函数值流程矩阵。
2. 将第四章(二)四元方案C的电路，改变为符合后沿触发要求的JK触发器。

(四) T 触 发 器

T 触发器的功能是：输入控制信号 $T = 1$ 时，输出 Q 、 P 换值；输入 $T = 0$ 时，输出 Q 、 P 不变（见表 5.3）。

在后沿触发二进制的基础上设计 T 触发器是很容易的，只要使时钟脉冲受 T 的控制就行了。下面举两个例子。

表 5.3

T	Q_+
0	Q
1	\overline{Q}

【例 1】在第四章(二)三元方案二进制的基础上改装，得布尔式为：

$$\left. \begin{aligned} A &\leftarrow m T \overline{q} + a \overline{m T q} \\ Q &\leftarrow m T q + a \overline{m T q} \\ P &\leftarrow \overline{q} \end{aligned} \right\} \textcircled{7/15} \quad (9)$$

【例 2】在第四章四元方案 C 二进制基础上改装，得布尔式为：

$$\left. \begin{aligned} A &\leftarrow m T + \overline{b} + a q \\ B &\leftarrow m T + \overline{a} + b q \\ Q &\leftarrow \overline{a} + \overline{p} \\ P &\leftarrow \overline{b} + \overline{q} \end{aligned} \right\} \textcircled{7/16} \quad (10)$$

(后沿触发)

将 JK 触发器 J、K 两端接在一起，就成为 T 触发器了。

(五) D 触 发 器

D 触发器的设计 requirements 是：输入控制信号 $D = 0$ 时， $Q_+ P_+ = 01$ ； $D = 1$ 时， $Q_+ P_+ = 10$ 。（见表 5.4）图 5.23 和 5.24 分别为

表 5.4

D	Q_n
0	0
1	1

一个 D 触发器的电路图和流程矩阵。

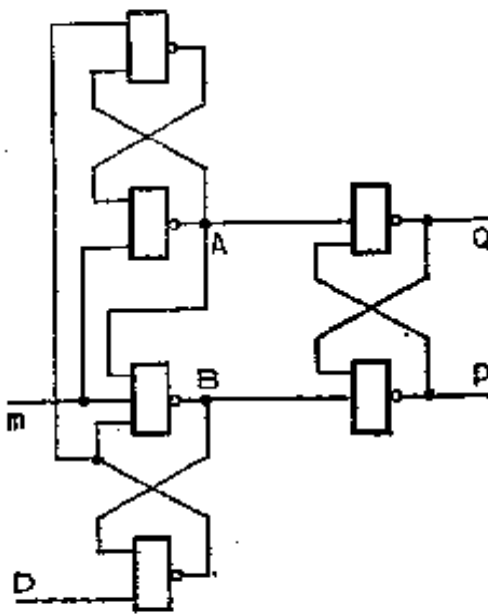


图 5.23

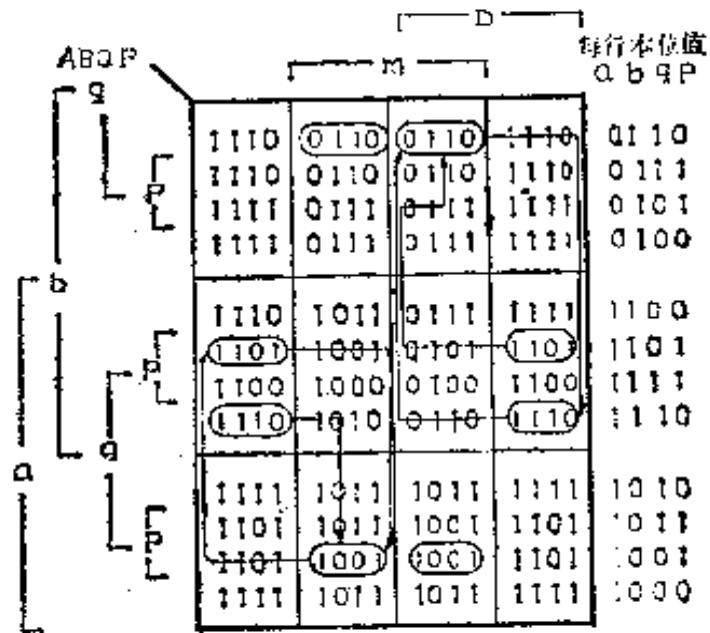


图 5.24

该 D 触发器的布尔式如下：

$$\left. \begin{aligned}
 A &\leftarrow \bar{m} + a \bar{b} D \\
 B &\leftarrow \bar{m} + \bar{a} + b D \\
 Q &\leftarrow a + p \\
 P &\leftarrow \bar{b} + q
 \end{aligned} \right\} \quad (11)$$

第六章 触发器同步时序 电路设计

本章讨论的全是用同步脉冲（简称“时钟”）触发的电路。我们列出一张设计中常用的控制信号取值表（表6.1）。

表 6.1

变 态 模 式		控 制 信 号			
符 号	$Q \rightarrow Q_+$	JK	SR	T	D
0	$0 \rightarrow 0$	0—	0—	0	0
1	$1 \rightarrow 1$	—0	—0	0	1
\wedge	$0 \rightarrow 1$	1—	10	1	1
\vee	$1 \rightarrow 0$	—1	01	1	0

注： \wedge 读作“上”， \vee 读作“下”

请读者先记住符号所代表的触发器 Q 端输出的变态模式。其它问题在下面的例题中再讨论。

m 、 J 、 K 、 S 、 R 、 T 、 D 各端在无外接连线时，状态均为1。

(一) 三 进 器

本节的目的，是用一个简单设计来说明触发器时序电路设计的步骤。表6.2列出时钟循环序号与输出 U 的关系。这就是

这个设计题目的主要要求，而我们也只考虑这一个要求。表6.2

表 6.2

时钟循环序号	输出 U
1	0
2	0
3	1
1	0
2	0
3	1

中有三种不同状态，因而要用两个记忆元。现在触发器就是记忆元。我们先用A和B两个JK触发器。在画流程矩阵时，只用单列矩阵就行了。因为输入信号只有时钟脉冲，而时钟脉冲一拍动一步，时钟脉冲不来不动，时钟脉冲有无不必标明。图6.1是三进器的

方案1序号流程矩阵。边标A、B指触发器A、B的输出状态，即为 Q_A 、 Q_B 的简写。序号1在第一格，说明在 $A=B=0$ 时第一拍时钟脉冲出现。余类推。

根据序号流程矩阵，就可以画函数值矩阵（图6.2）每小格

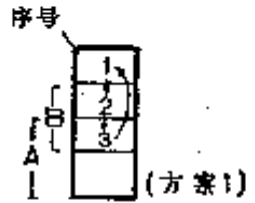


图 6.1

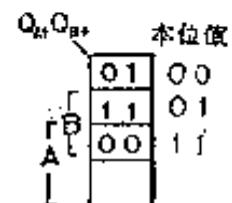


图 6.2

的本位值是触发器A、B当前的Q值。每格内填入的函数值是A、B经时钟脉冲触发后的Q值，也就是下个脉冲序号所占那格的本位值。例如图6.1中的时钟序号1在 $AB=00$ 的一格，序号2在 $AB=01$ 的一格，画函数值矩阵的时候就把01填在 $AB=00$ 这一格内，因为01是下一步 $Q_A Q_B$ 之值，所以用 $Q_{A+} Q_{B+}$ （简写为 $A_+ B_+$ ），符号标志这个值“函数值就是下一个序号的本位值”，这一点要记清楚。这跟“与非”门电路函数值矩阵的填法没有本质上的区别。“与非”门电路矩阵内的函数也是在输出信息变动后经过时延瞬变阶段达到的值，跟它的本位值也有

一个前后之分。不过这个前后不是以时钟来区分，而是以瞬变期来区分的。

函数值矩阵显示出电路在逐个时钟出现后应有的变态。为要产生这种变态，除时钟以外还要有合适的 JK 控制信号。要列出一个适合于产生这种变态的 JK 矩阵，最简便的办法是利用表 6.1。现在将表 6.1 中有关 JK 触发器的一部分另录出来列为表 6.3。这样看起来方便些。

表 6.3 左列符号代表触发器 Q 值在时钟出现前后的变化（即变态模式），JK 这一列中“—”代表任意值。在本电路中 Q 值的具体变化就要看图 6.2。图 6.2 中每格的本位值就是表 6.1 左起第

表 6.3

符 号	JK
0	0—
1	—0
∧	1—
∨	—1

二列中的 Q，图 2 每格中的函数值就是表 6.1 中的 Q₊。根据这两个值就可以决定变态的模式，填出图 6.3 这个变态模矩阵。A 和 B 是两个分离的触发器，必须分开来考虑。要记住图 6.2 矩阵内左边的函数值是 A₊，右边的是 B₊。A₊ 函数值跟 A 本位值比较，B₊ 函数值跟 B 本位值比较，就得出图 6.3 所示的变态模矩阵。

有了变态模矩阵，就可以按表 6.3 列出图 6.4 的 JK 矩阵。

	A	B
0	∧	∧
1	∧	1
∨	∨	∨

图 6.3

	JK	A	B	U
0	0—	1—		0
1	1—	—0		0
∨	—1	—1		1

图 6.4

这个矩阵表明了图 6.1 中每个时钟序号的位置上，每个触发器 JK 端的状态。同时在图 6.4 矩阵右侧并列了输出 U 的列矩

阵。从图6.4可以用卡诺图解法得出每个触发器的J函数、K函数布尔式，以及输出U的组合电路布尔式。由于J、K、U都是单列矩阵，布尔式是很容易写的，得出的结果是，

$$\left. \begin{aligned} J_A &= B \\ K_A &= 1 \\ J_B &= 1 \\ K_B &= A \\ U &= A \end{aligned} \right\} \quad (1)$$

电路如图6.5所示。

为简单起见，图中未画时钟电路。初始状态应按时钟序号3的本位值设置，即 $AB=11$ 。

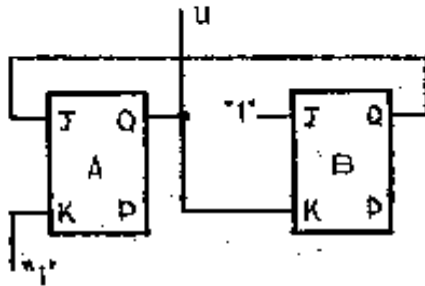


图 6.5

常用的触发器都是后沿触发的，完全受J、K状态及时钟 m 的控制，因此一般不存在“竞争”和“空翻”的危险。布尔式可以按组合电路的方式写。不过， m 及 \bar{m} 的最短持续时间仍需根据电路的瞬变期考虑。

现在再换一个流程作为方案2。图6.6给出流程、矩阵及布尔式。图6.7是电路图。

现在再换一个流程作为方案2。图6.6给出流程、矩阵及布尔式。图6.7是电路图。

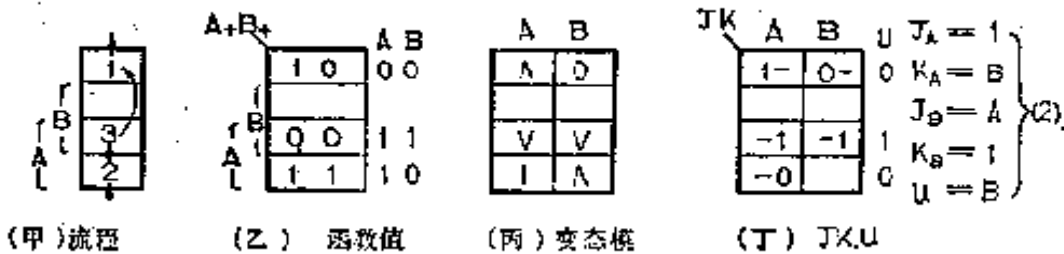


图 6.6

初始状态仍是 $AB=11$ 。图6.7和图6.5实质上是一样的。电路设计是否符合设计要求，可以根据布尔式用步进表方式逐

步核对。

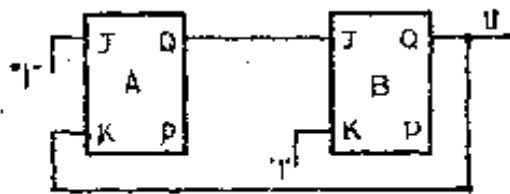


图 6.7

步进表如表6.4所示。填步进表时，先填入时钟序号，然后在第二行填入序号1的AB本位值。下面再从布尔式标出各触发器的JK值，然后根据JK作用表(表6.5，即第五章表5.2)，

表 6.4

时钟序号	1	2	3	1
AB	00	10	11	00
$J_A K_A$	<u>10</u>	10	11	10
$J_B K_B$	0 <u>1</u>	11	11	01
U	0	0	1	0

表 6.5

J	K	Q
0	1	0
1	0	1
0	0	\overline{Q}
1	1	\overline{Q}

分别填入下一序号的AB值。这样依次完成一个循环。同时在最下一行按布尔式填入U值。

用表4核对方案2的输出U，是符合原设计要求(表6.2)的。

在分析别人设计的电路，想了解其流程及输出函数时，先根据电路写出布尔式，再象表6.4那样填步进表，当然会成功的。但如果电路比较复杂，还可用较简单的寻找流程的办法，即按JK布尔式填JK矩阵，再根据表6.5推出函数值(A, B, ...)矩阵，并附上U矩阵，从而判明流程。方案2的分析步骤示于图6.8中。

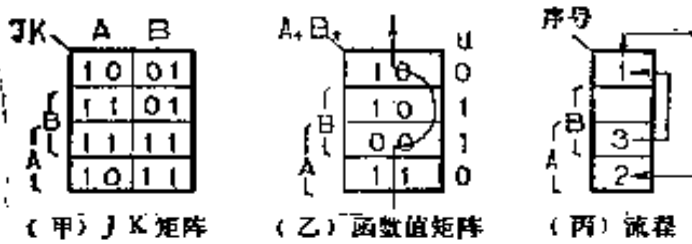


图 6.8

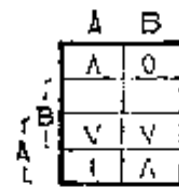


图 6.9

现在综述一下JK触发器同步时序电路“七步设计法”：

- I、根据设计要求编定序号流程矩阵（图6.1）；
- II、根据 I 列出各触发器的 Q_n 函数值矩阵（图6.2）；
- III、根据 III 及变态模式表（表6.1）列出各触发器的变态模式矩阵（图6.3）；
- IV、根据 III 及JK取值表（表6.3或表6.1）编定各触发器JK状态矩阵，并附列输出U矩阵（图6.4）；
- V、根据 IV 列出各触发器的J、K、U布尔式（方程组1）；
- VI、用步进表核对 V 的布尔式（表6.4）；
- VII、根据 V 画出电路（图6.5和图6.7）。

类似地，可能用“七步设计法”进行其他类型触发器的电

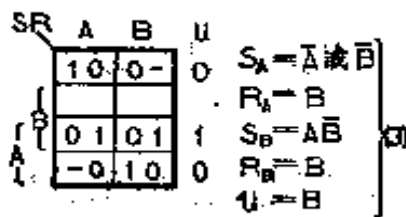


图 6.10

表 6.6

	S	R
0	0	—
1	—	0
∧	1	0
∨	0	1

路设计。

下面先按三进器方案2流程进行RS触发器的电路设计。变态模式矩阵沿用图6.6(丙)，即图6.9。变态模式要求的SR控制信

号见表6.1, 现将有关部分重抄为表6.6。从图6.9及表6.6, 就可以推导出方案2的SR矩阵及布尔方程组(3)(图6.10)。

电路(用 $S_A = \bar{B}$)如图6.11所示。

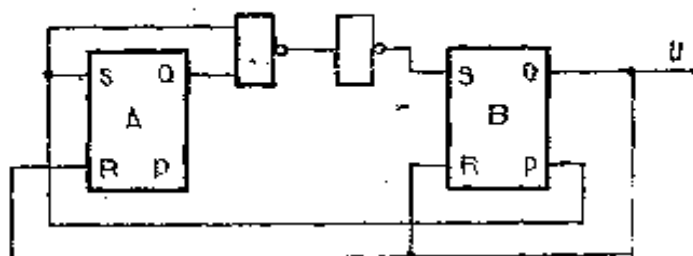


图 6.11

表 6.7

S	R	Q+
0	1	0
1	0	1
0	0	0
1	1	x

表 6.8

时钟序号	1	2	3	4
AB	00	10	11	00
$S_A R_A$	10	10	01	10
$S_B R_B$	00	10	01	00
U	0	0	1	0

复核时需利用表6.7和表6.8, 它们分别是SR作用表和步进表。

同样可用T触发器设计方案2的电路。请参看表6.9~6.11及图6.12~6.13。表6.9~6.11分别为T取值表、T作用表和

T	A	B	U
	1	0	0
	1	1	1
	0	1	0

$$\left. \begin{aligned} T_A &= B + \bar{A} = \bar{B} \cdot A \\ T_B &= A \\ U &= B \end{aligned} \right\} (4)$$

图 6.12

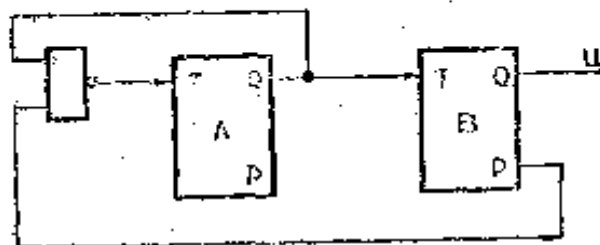


图 6.13

步进表。

表 6.9

	T
0	0
1	0
\wedge	1
\vee	1

表 6.10

T	Q_+
0	Q
1	\overline{Q}

表 6.11

时 钟	1	2	3	1
$A B$	0 0	1 0	1 1	0 0
T_A	1	0	1	1
T_B	0	1	1	0
u	0	0	1	0

表 6.12 (D 取值表), 6.13 (D 作用表), 6.14 (步进表) 和图 6.14~6.15 列出了用 D 触发器设计方案 2 电路的步骤。

表 6.12

	D
0	0
1	1
\wedge	1
\vee	0

表 6.13

D	Q_+
0	0
1	1

表 6.14

时 钟	1	2	3	1
$A B$	0 0	1 0	1 1	0 0
D_A	1	1	0	1
D_B	0	1	0	0
u	0	0	1	0

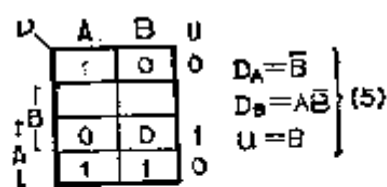


图 6.14

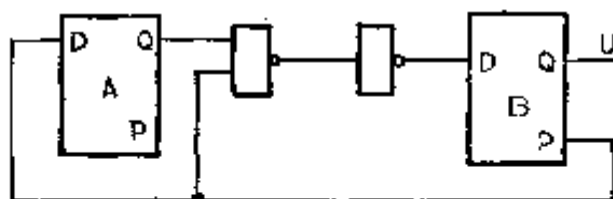


图 6.15

(二) 多毕特二进制计数器

在二进制计数制上, 一个触发器只能表示或记忆 1 毕特的

信息，即只能表示或记忆 0、1 这两个数。表示或记忆更多的信息，需要更多的毕特，在电路上就要用更多的触发器。设计多毕特电路也用前一节的“七步设计法”。

下面举几个例子。

【例 1】 2 毕特或模 4 同步二进制计数器（用 JK 触发器）

图 6.16 和图 6.17 中分别示出了模 4 计数器的真值表、矩阵、布尔式和电路图。

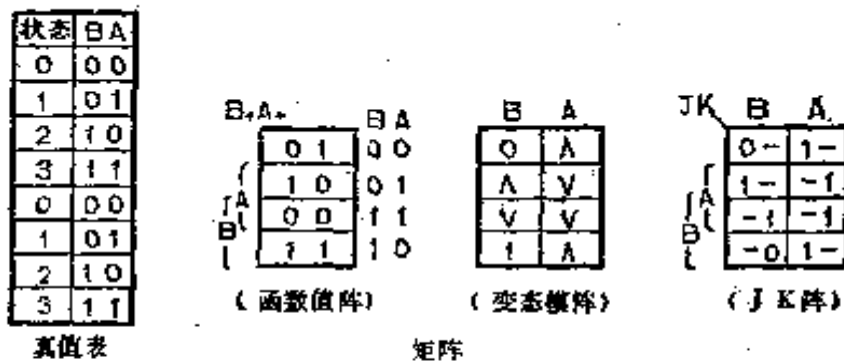


图 6.16

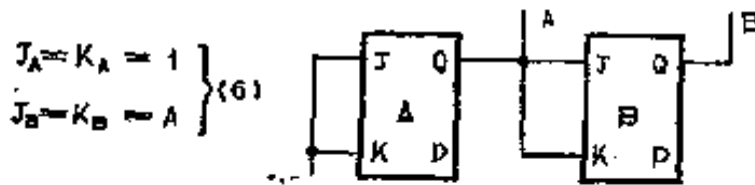


图 6.17

当初始值设置为 $A = 1$ 、 $B = 1$ 时， B 、 A 两个输出端将按时钟依次给出用二进制数表达的 0、1、2、3 四个数。

【例 2】 4 毕特（或模 16）同步二进制计数器

设计步骤示于图 6.18 和图 6.19 中。

上面两例得出的电路都是所谓同步二进制计数器的电路。不过正如第四章里提到过的，将二进制器串联起来，将前一个二进制器的输出 Q 作为后一个二进制器的时钟 m ，就可接成任何模 2^x ($x = 1, 2, 3, \dots$) 的计数器。用第四章的三元方案或

状态	DCBA
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111
0	0000

状态表

$D_n C_n B_n A_n$	本位值	DCBA	JK	D	C	B	A
0001	0000	000A	0-0-0-1-				
0010	0001	00AV	0-0-1--1				
0100	0011	0AVV	0-1--1-1				
0011	0010	001A	0-0--0-1-				
0111	0110	011A	0-0-0-1-				
1000	0111	AVVV	1--1-1-1				
0110	0101	01AV	0-0-1-1-				
0101	0100	010A	0-0-0-1-				
1101	1100	110A	-0-0-0-1-				
1110	1101	11AV	-0-0-1-1-				
0000	1111	VVVV	-1-1-1-1-				
1111	1110	111A	-0-0-0-1-				
1011	1010	101A	-0-0-0-1-				
1100	1011	1AVV	-0-1--1-1				
1010	1001	10AV	-0-0-1-1-				
1001	1000	100A	-0-0-0-1-				

(函数值阵) (变数阵) (JK阵)

图 6.18

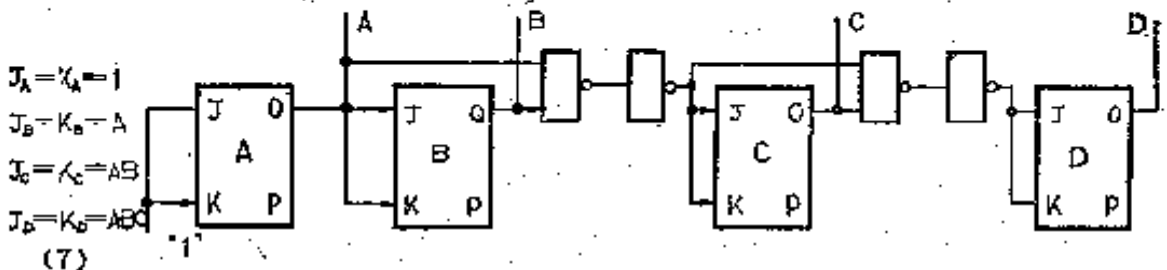


图 6.19

四元方案 B、C 中给出的二进制后沿触发模式，都可以完成这种任务。不过每一个二进器的输出 Q，对 m 来说都有时延。串联之后，时延也成倍地积累起来，结果是各位状态变化的步调不一致了。一般说来，同步计数器电路较复杂，所用元件较多，计数速率稍低（因为增加了元件的时延），但输出各位的变化在时间上受时钟控制，步调比较一致。

【例3】 8-4-2-1 编码十进计数器 (简称BCD计数器)

十进器有10个不同状态, 需要4个记忆元。一位BCD计数器的状态表和矩阵布尔式和电路分别示于图6.20和6.21中。

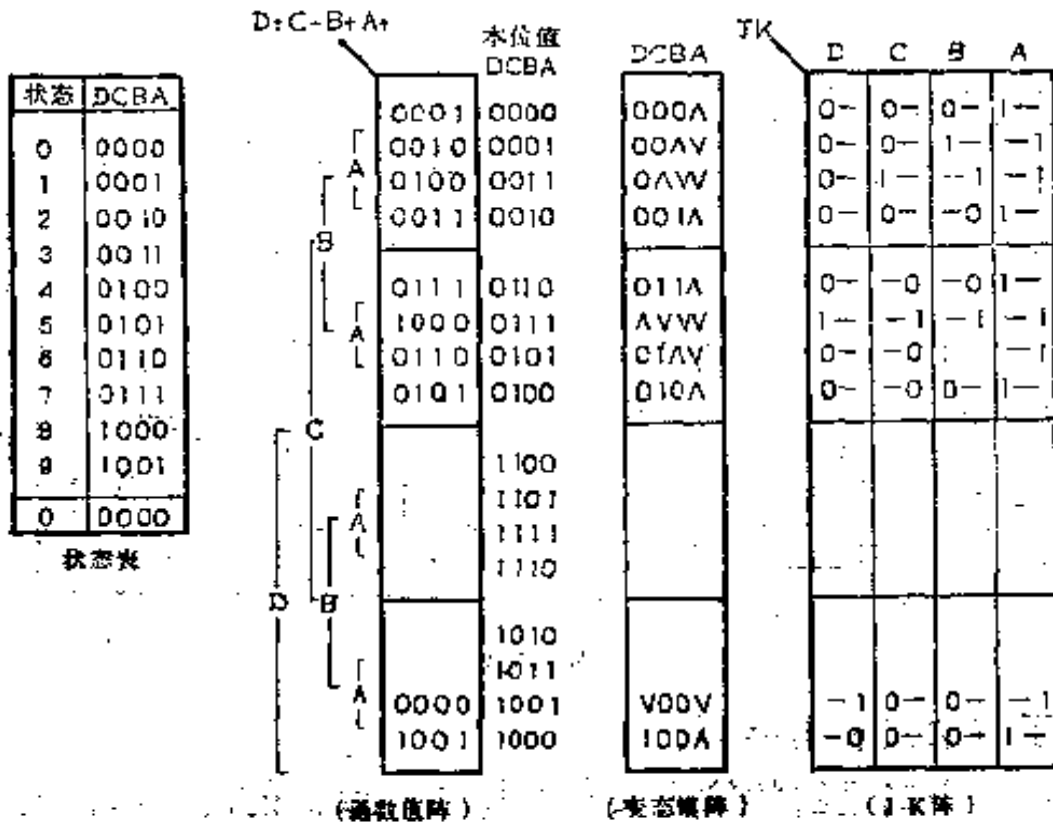


图 6.20

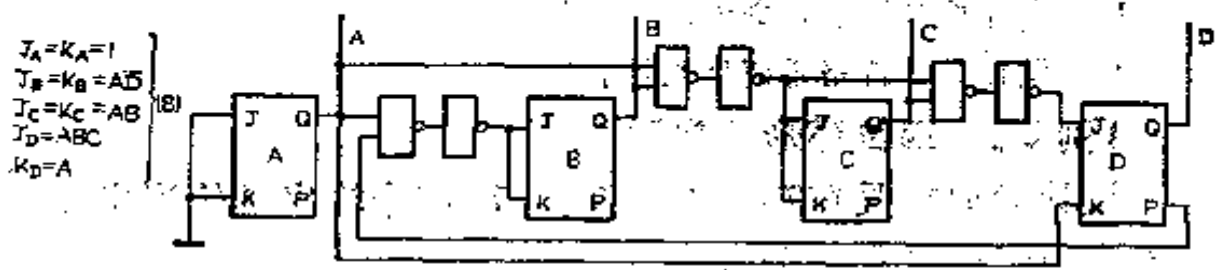


图 6.21

【例4】 模5同步计数器

图6.22示出了模5同步计数器的状态表和矩阵，图6.23中

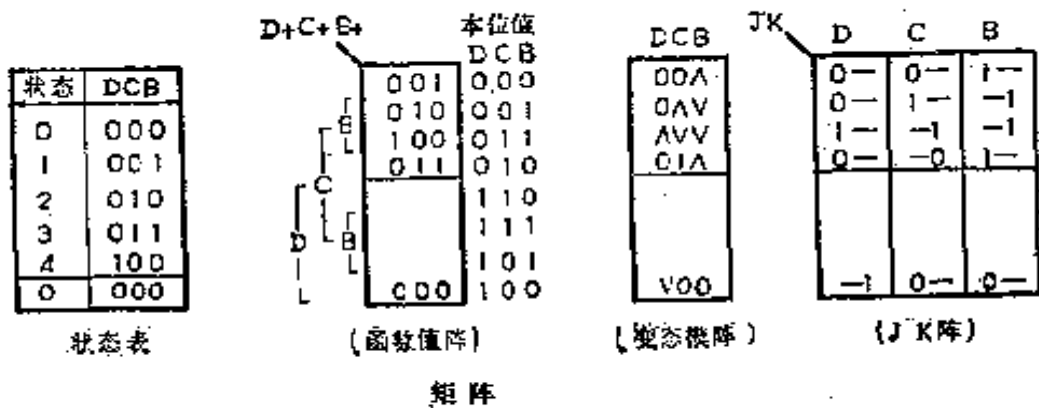


图 6.22

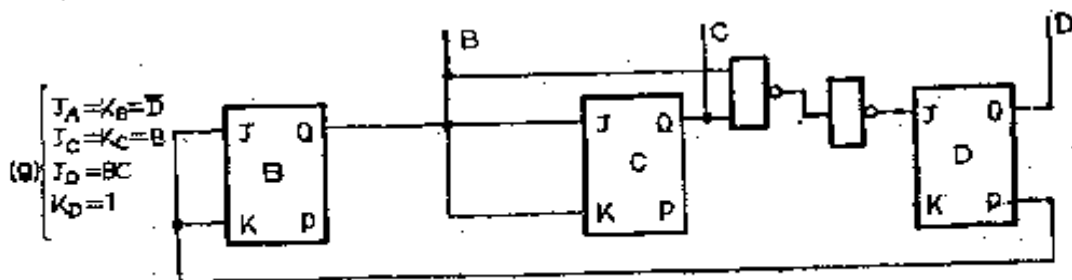


图 6.23

示出了布尔式和电路图。

将一个二进器的输出A作为模5计数器的时钟m，就形成了一个DCBA的十进计数器。

习 题

1. 设计模8同步计数器。
2. 设计二毕特格雷码计数器。

【例5】 四位环形计数器

设计的要求是在 T_1 、 T_2 、 T_3 、 T_4 四个输出端轮流出现信号（任何时间只有一个信号）。

因为只有四种状态，所有两个记忆元就够了，表6.15是四

表 6.15

编号	T_4	T_3	T_2	T_1
1	0	0	0	1
2	0	0	1	0
3	0	1	0	0
4	1	0	0	0
$S=1$	0	0	0	1

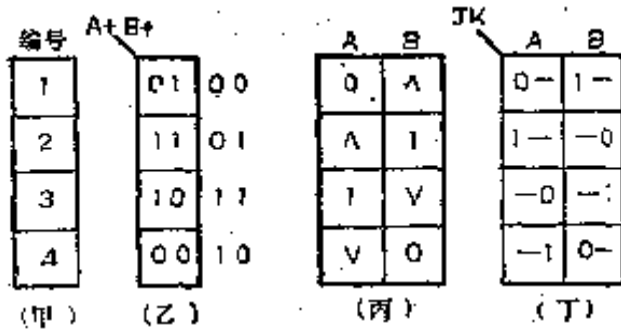


图 6.24

位环形计数器的真值表。图6.24中画出了它的矩阵。

其布尔式如下：

$$\left. \begin{aligned}
 J_A &= B \\
 K_A &= \overline{B} \\
 J_B &= \overline{A} \\
 K_B &= A
 \end{aligned} \right\} \begin{aligned}
 T_1 &= \overline{A} B \\
 T_2 &= \overline{A} \overline{B} \\
 T_3 &= A \overline{B} \\
 T_4 &= A B
 \end{aligned} \quad (10)$$

核对可利用表6.16 (步进表) 进行。

表 6.16

	T_1	T_2	T_3	T_4	T_0
$A \quad B$	0 0	0 1	1 1	1 0	0 0
$J_A \quad K_A$	0 1	1 0	1 0	0 1	
$J_B \quad K_B$	1 0	1 0	0 1	0 1	

也可用(例1)的电路。四个输出函数的布尔式如下：

$$\left. \begin{aligned}
 T_1 &= \overline{A} \overline{B} \\
 T_2 &= \overline{A} B \\
 T_3 &= A \overline{B} \\
 T_4 &= A B
 \end{aligned} \right\} \quad (11)$$

【例 6】可逆计数器(模16)

设计要求是控制电位 $F = 1$ 时, 计数递增; $F = 0$ 时, 计数递减。图 6.25 中给出了采用 T 触发器的可逆计数器的矩阵。

A+B-C+D+		F		本位值 ABCD		A B C D F F F F				A B C D F F F F				
A	D	C	B	0001	1111	0000	0A	0A	0A	AA	01	01	01	11
				0010	0000	0001	00	00	AA	VV	00	00	10	11
				0100	0010	0011	00	AA	V1	VV	00	10	10	11
				0011	0001	0010	00	00	1V	AA	00	00	01	11
	D	C	B	0111	0101	0110	00	11	1V	AA	00	00	01	11
				1000	0110	0111	AA	V1	V1	VV	10	10	10	11
				0110	0100	0101	00	11	AA	VV	00	00	10	11
				0101	0011	0100	00	1V	0A	AA	00	01	01	11
	D	C	B	1101	1011	1100	11	1V	0A	AA	00	01	01	11
				1110	1100	1101	11	11	AA	VV	00	00	10	11
				0000	1110	1111	V1	V1	V1	VV	10	10	10	11
				1111	1101	1110	11	11	1V	AA	00	00	01	11
	D	C	B	1011	1001	1010	11	00	1V	AA	00	00	01	11
				1100	1010	1011	11	AA	V1	VV	00	10	10	11
				1010	1001	1001	11	00	AA	VV	00	00	10	11
				1001	0111	1000	1V	0A	0A	AA	01	01	01	11

(甲) 函数值

(乙) 变态模

(丙) T 称

图 6.25

布尔式为:

$$\left. \begin{aligned} T_A &= FBCD + \overline{FBCD} \\ T_B &= FCD + \overline{FCD} \\ T_C &= FD + \overline{FD} \\ T_D &= 1 \end{aligned} \right\} \quad (12)$$

这组布尔式很有规律。可以类推至任何 2^N 模的计数器。请与(例 2)作比较。

(三) G 控制逻辑

某数据处理机执行逻辑部分有一个 G 电路, 它在操作人员按

下“启动”电钮开始显示时启动，显示完毕后放开电钮自动还原。这个电路的要求见波形图6.26。 G 是手控信号， u_1 、 u_2 是要求的输出。虚线代表时钟脉冲。对应于状态序号3的 $G=1$ 部分

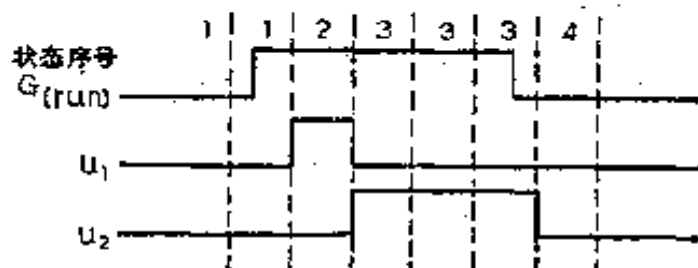


图 6.26

可以任意延长，而状态不变。

下面提出三种记忆元流程方案，作六个设计。

【方案一】 这是处理机原设计。

图6.26有4个不同的状态序号，需要A、B两个记忆元。设计电路时，应先列出真值表（表6.17）或画出流程图（图6.27）。

表 6.17

状态序号	记忆元本位值	输出	
	A B	U_1	U_2
1	0 0	0	0
2	0 1	1	0
3	1 1	0	1
4	1 0	0	0

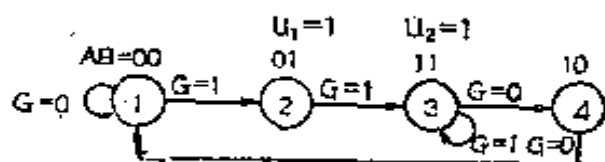


图 6.27

流程图圆圈内写的是状态序号，圈外号码是记忆元A、B的本位值。 U_1 和 U_2 是输出，仅在输出时标上；未标明的地方均无输出（即 $U_1=0$ 或 $U_2=0$ ）。箭头表明流程，箭头附近分别标出这是 $G=0$ 或 $G=1$ 时的流程，这样的流程图比真值表更全面。注意“小耳朵”似的流程，表示流程回到自身的稳态。

设计方法除要考虑输入G信号外，与前面两节基本相同，仍采用“七步设计法”。特别要注意的是，从函数值矩阵转入变态模矩阵时，函数值必须与相应的本位值比较，即要考虑到相应的A或B， $G=0$ 或 $G=1$ 。

先设计JK触发器的电路，参看图6.28

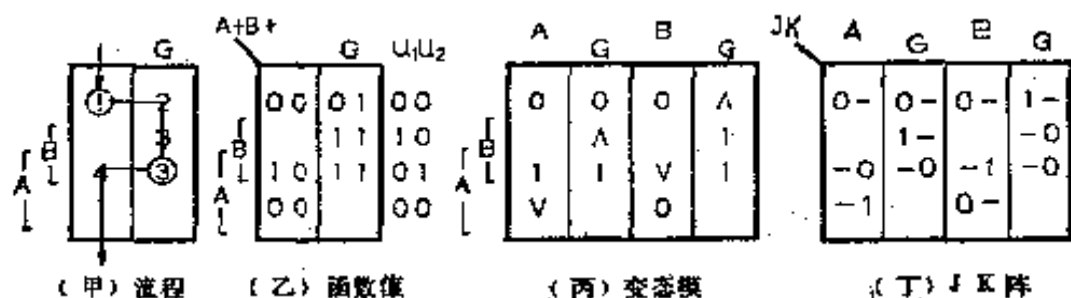


图 6.28

流程矩阵中打圆圈的两格是电路状态在时钟后不变态的地方，即流程回到自身的稳态。从JK矩阵可以写出电路的布尔方程组（式(13)），并画出电路图（图6.29）。

$$\left. \begin{aligned} J_A &= B & K_A &= \overline{B} \\ J_B &= G & K_B &= \overline{G} \\ u_1 &= \overline{A} B & u_2 &= A B \end{aligned} \right\} \quad (13)$$

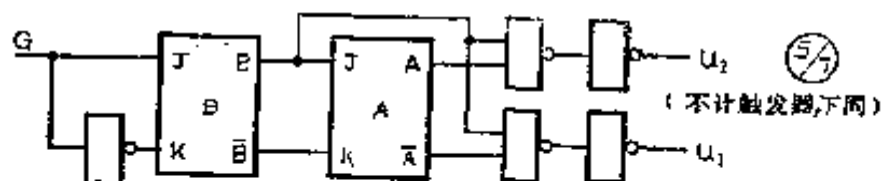


图 6.29

核对可利用JK步进表（表6.18）。

【方案二】 主要设计思想是将状态④与①合并，也就是取消状态④。请参看图6.30~图6.32和核对用步进表（表6.19）。

表 6.18

状态序号	1	2	8		4	1	
GAB	100	101	111	111	011	010	000
$J_A K_A$	01	10	10	10	10	01	01
$J_B K_B$	10	10	10	10	01	01	01
$U_1 = \bar{A}B$	0	1	0	0	0	0	0
$U_2 = AB$	0	0	1	1	1	0	0

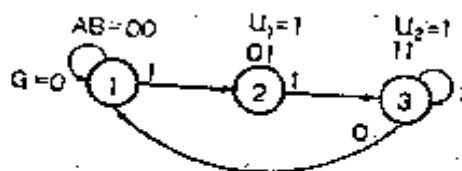


图 6.30

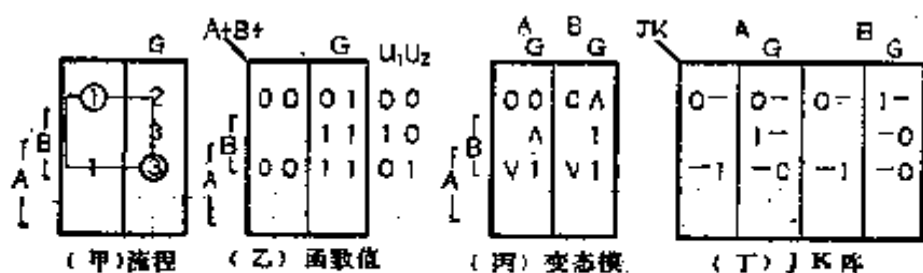


图 6.31

布尔式:

$$J_A = B, K_A = \bar{G}; J_B = G, K_B = \bar{G}; U_1 = \bar{A}B, U_2 = AB \quad (14)$$

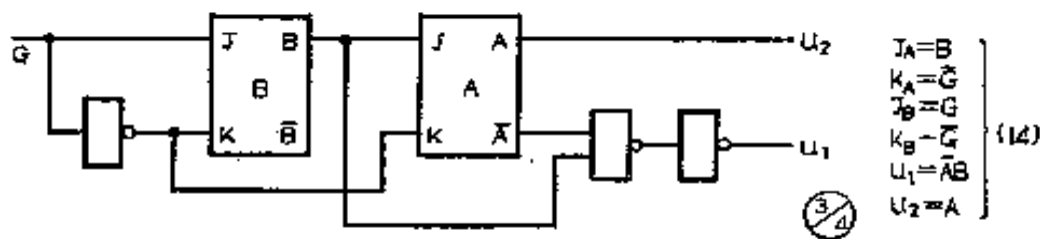


图 6.32

表 6.19

状态序号	1	2	8			1	
GAB	100	101	111	111	011	000	000
$J_A K_A$	00	10	10	10	11	01	
$J_B K_B$	10	10	10	10	01	01	
$U_1 = \overline{AB}$	0	1	0	0	0	0	
$U_2 = A$	0	0	1	1	1	0	

【方案三】 请参看图6.33~图6.35和表6.20。

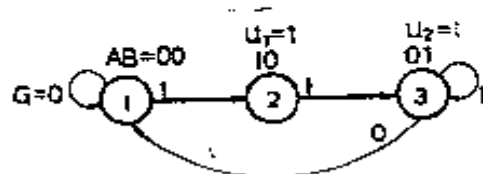


图 6.33

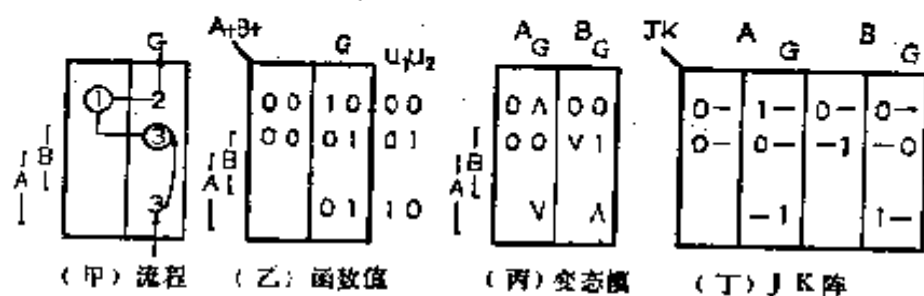


图 6.34

布尔式:

$$J_A = G \overline{B}, K_A = 1; J_B = A, K_B = \overline{G}; U_1 = A, U_2 = B \quad (15)$$

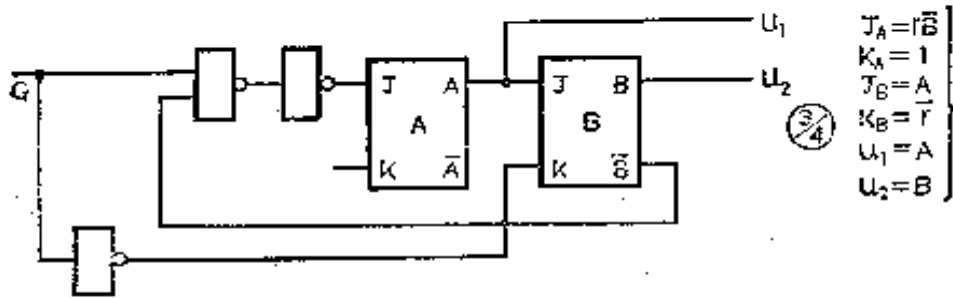


图 6.35

表 6.20

状态序号	1	2	3			4	
GAB	100	110	101	101	001	000	000
$J_A K_A$	11	11	01	01	01	01	
$J_B K_B$	00	10	00	00	01	01	

现在用RS触发器来设计流程方案三的电。其矩阵示于图

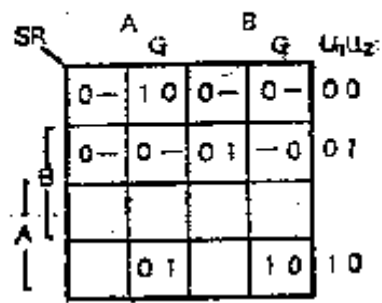


图 6.36

6.36中。布尔式为：

$$\left. \begin{aligned}
 S_A &= G \overline{A} \overline{B}, R_A = A \\
 S_B &= A, R_B = \overline{G} \\
 U_1 &= A, U_2 = B
 \end{aligned} \right\} \textcircled{3/5} \quad (16)$$

核对用步进表示于表6.21中。

用T触发器来设计流程方案三的电。可得出图 6.37所

表 6.21

状态序号	1	2	3			1	
GAB	100	110	101	101	001	000	000
$S_A R_A$	10	01	00	00	00	00	
$S_B R_B$	00	10	00	00	01	01	

示的矩阵和布尔式。步进表见表6.22。

表 6.22

状态序号	1	2	3			1	
GAB	100	110	101	101	001	000	000
T_A	1	1	0	0	0	0	
T_B	0	1	0	0	1	0	

用D触发器设计流程方案二的电路时，所得矩阵及布尔式示于图6.38中。步进表示于表6.23。

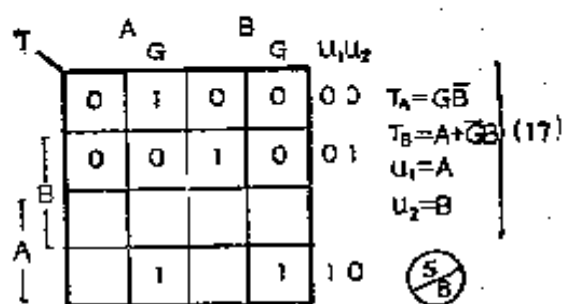


图 6.37

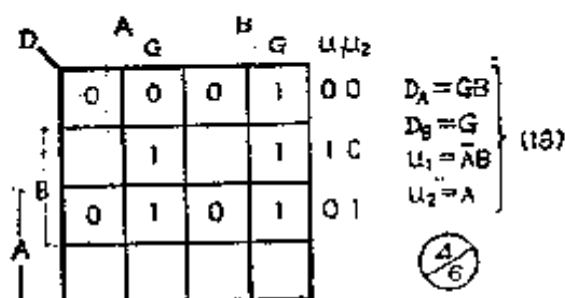


图 6.38

表 6.23

状态序号	1	2	8			1	
GAB	100	101	111	111	011	000	000
D_A	0	1	1	1	0	0	
D_B	1	1	1	1	0	0	
$U_1 = \bar{A}B$	0	1	0	0	0	0	

习 题

1. 对下列两个流程图(图 6.39和图6.40)各作JK、RS、T、D 触发器四种电路设计

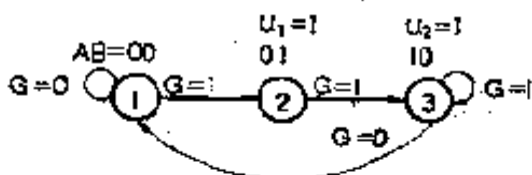


图 6.39

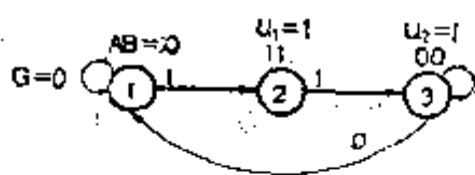


图 6.40

2. 图6.27中的JK触发器是否可换用RS触发器?

G控制电路也可直接用“与非”门电路来实现。为此，应

将波形在时钟 $m=0$ 时的状态分列为5个序号，见图6.41。在门电路的流程上必须考虑时钟 m 的波形。

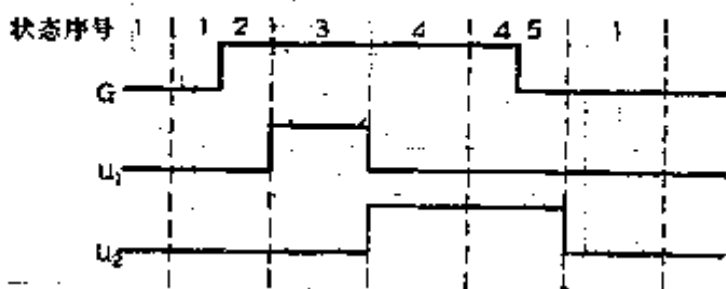


图 6.41

但为简单起见，在波

形图上仍用垂直虚线代表 $m=1$ ，同时在流程矩阵(图6.42)上用空白圆圈代表 $m=1$ 时的稳态(即垂直流程段的终点)，而不给它们增编序号。熟练之后，连空白圆圈也不必画。图

6.42这个流程称为**方案甲**，它的函数值矩阵见图6.43。

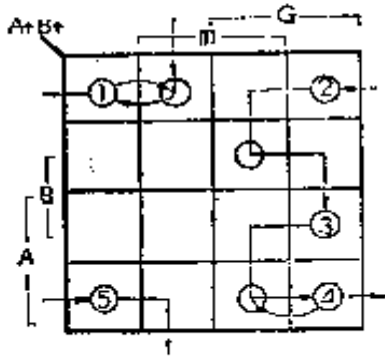


图 6.42

		G						
A\B		m			u ₁ u ₂			
A	B	0	0	0	1	0	0	0
	\bar{B}			0	1	1	1	
\bar{A}	B			1	0	1	1	1
	\bar{B}	1	0	0	0	1	0	1

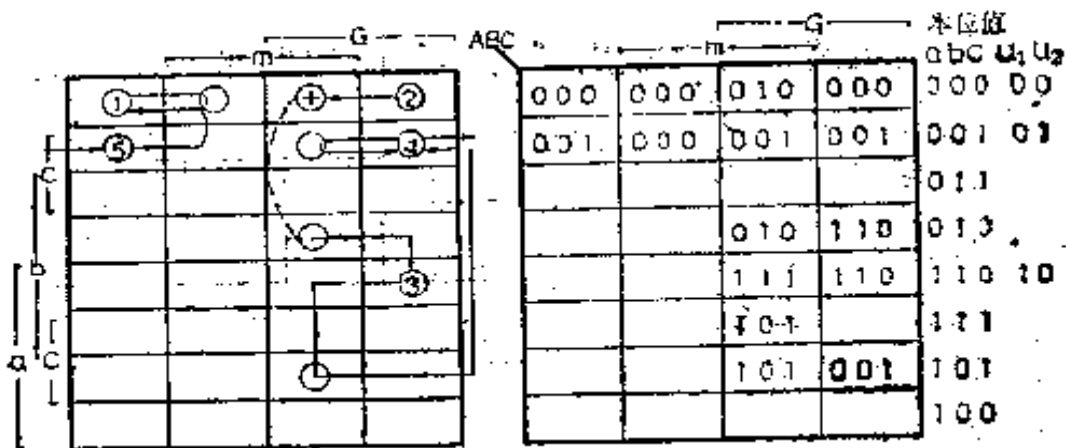
图 6.43

写出布尔方程组(19):

$$\left. \begin{aligned}
 A &\leftarrow G a + \bar{m} a + \bar{m} b \\
 B &\leftarrow G m \bar{a} + \bar{m} b + \bar{a} b \\
 u_1 &= B \\
 u_2 &= A \bar{B}
 \end{aligned} \right\} \textcircled{\frac{19}{22}} \quad (19)$$

B式中 $\bar{a} b$ 这一项，根据第四章“空翻”设想(甲)，是必要的过渡项。

下面用三个记忆元设计G控制方案乙，其矩阵见图6.44。



(甲) 流程 (虚线是跳格)

(乙) 函数值

图 6.44

布尔方程组为(20)式:

$$\left. \begin{aligned}
 A &\leftarrow \bar{m}b + ma \\
 B &\leftarrow Gm\bar{c} + b\bar{c} \\
 C &\leftarrow ma + \bar{m}c + Gc \\
 u_1 &= A \text{ 或 } B \\
 u_2 &= C
 \end{aligned} \right\} \textcircled{\frac{11}{20}} \quad (20)$$

根据第四章“空翻”设想(乙), A式可不加过渡项。请将本例与第四章例2对照一下。

(四)同步逻辑电路

某数据处理机有一个同步逻辑电路,用了四个JK触发器。其技术要求如下:

6个时钟脉冲为一个循环,编号为1、2、3、4、5、6。初始脉冲为0号,不在循环号之内。输入信号 h 在时钟编号1时肯定出现,在时钟编号2和3时可能出现。 h 信号宽度等于时钟间隔,时钟位置约在 h 信号之正中。 h 信号有图6.45所示的甲、乙、丙、丁四种模式。输出信号有 L 和 M 两个。当

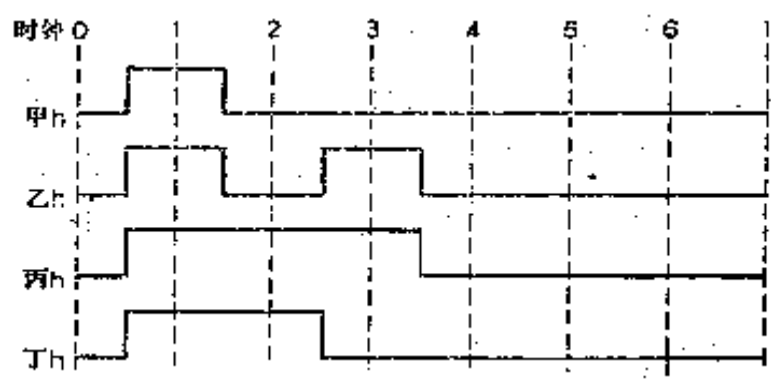


图 6.45

h 在时钟编号3处出现时,则在时钟编号3以后有输出信号 L

出现。当 h 在时钟编号 2 处出现时，则在时钟编号 2 以后有输出信号 L 出现。在其他情况下 L 和 M 一般为 0。

图 6.46 中画出第一个时钟循环的四组波形模式。假定在初

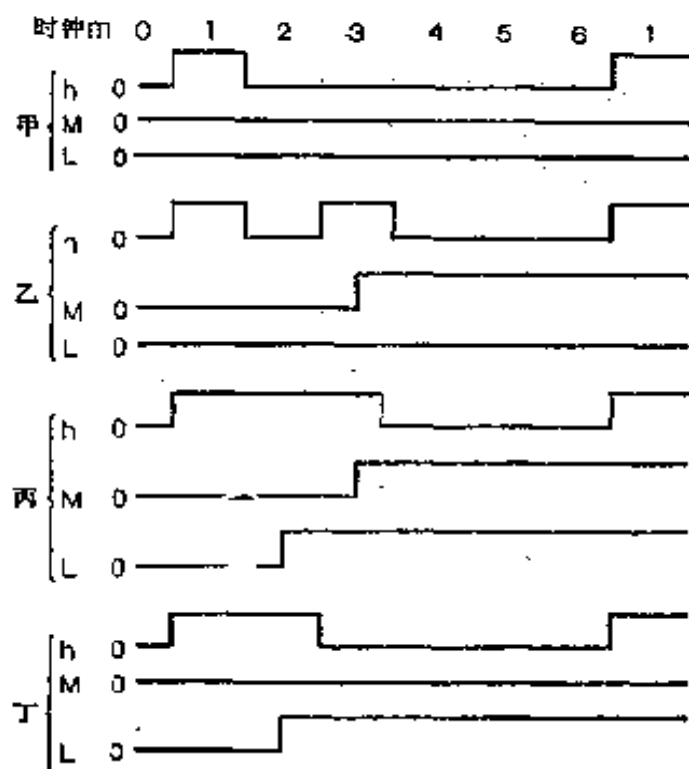


图 6.46

始脉冲 0 时， $h = L = M = 0$ 。

由于第一循环到时钟编号 6 处， L 和 M 有四种可能的不同状态，必须结合第一、第二两个循环全面考虑，即必须考虑：甲甲、甲乙、甲丙、甲丁、乙甲、乙乙、乙丙、乙丁、丙甲、丙乙、丙丙、丙丁、丁甲、丁乙、丁丙、丁丁等十六种模式。而其中甲甲、乙乙、丙丙、丁丁四种为主要模式。下面对这四种主要模式进行分析。

先以图 6.47 所示双循环波形为主，分辨不同的波形组状态，作好设计准备，波形上写的编码就是状态编号。记住设计要求，可以分出 12 种不同状态。下面再考虑其它循环模式。甲

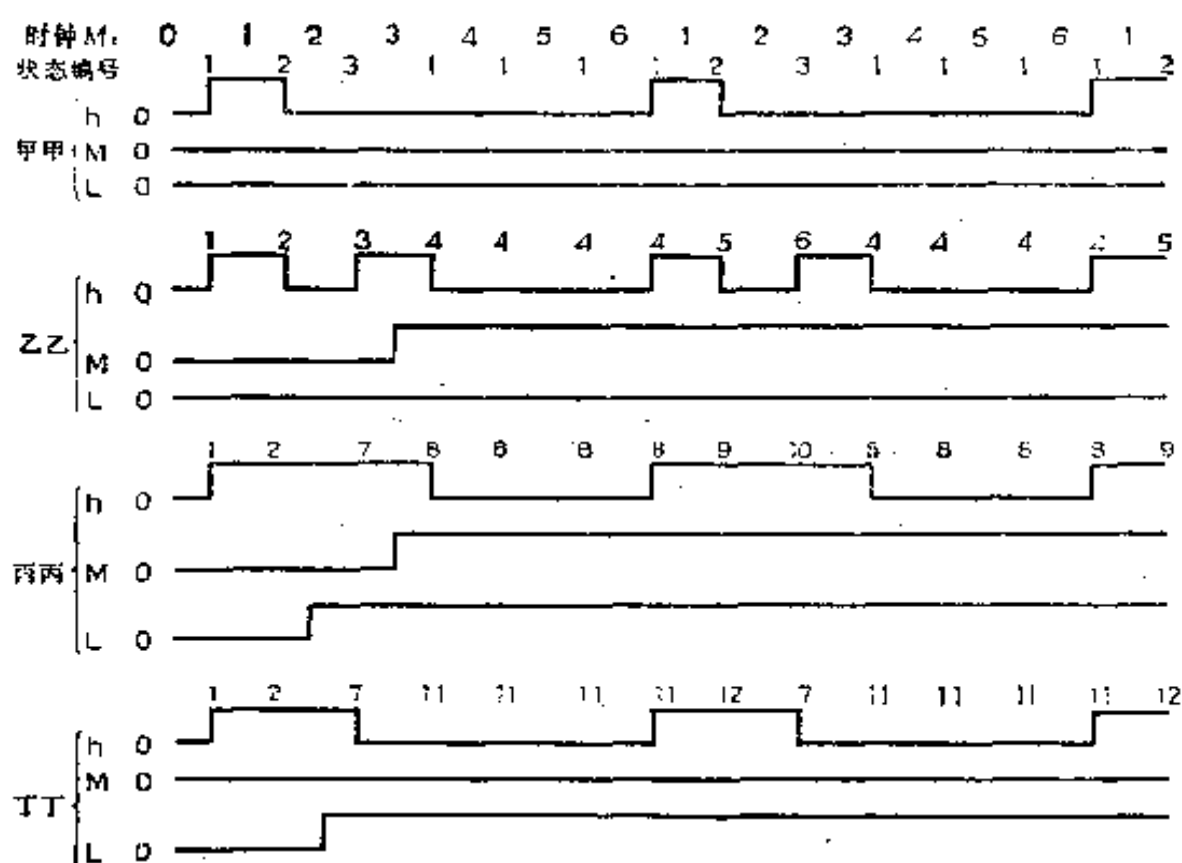


图 6.47

乙、甲丙、甲丁三种不必另作考虑，因为它们分别就是甲连上乙、丙、丁。应考虑的还有九种模式，见图6.48。不需要增添新的状态编号。

考虑到第二循环就够了，以后就是第二循环的重复。

综合这十六种波形的模式，以及它们的12种状态编号，可以画出图6.49所示的综合流程。

画这张流程图并不困难。设计的关键在于如何定出最有利的记忆元状态。

分辨12种波形状态需要4个记忆元，而4个记忆元有16种记忆状态。16种状态中任取12种，排列组合的数目非常庞大。原设计是经过审慎的考虑的。现在，只对它进行分析。

记忆元采用A、B、M、L四个JK触发器。原设计中状态

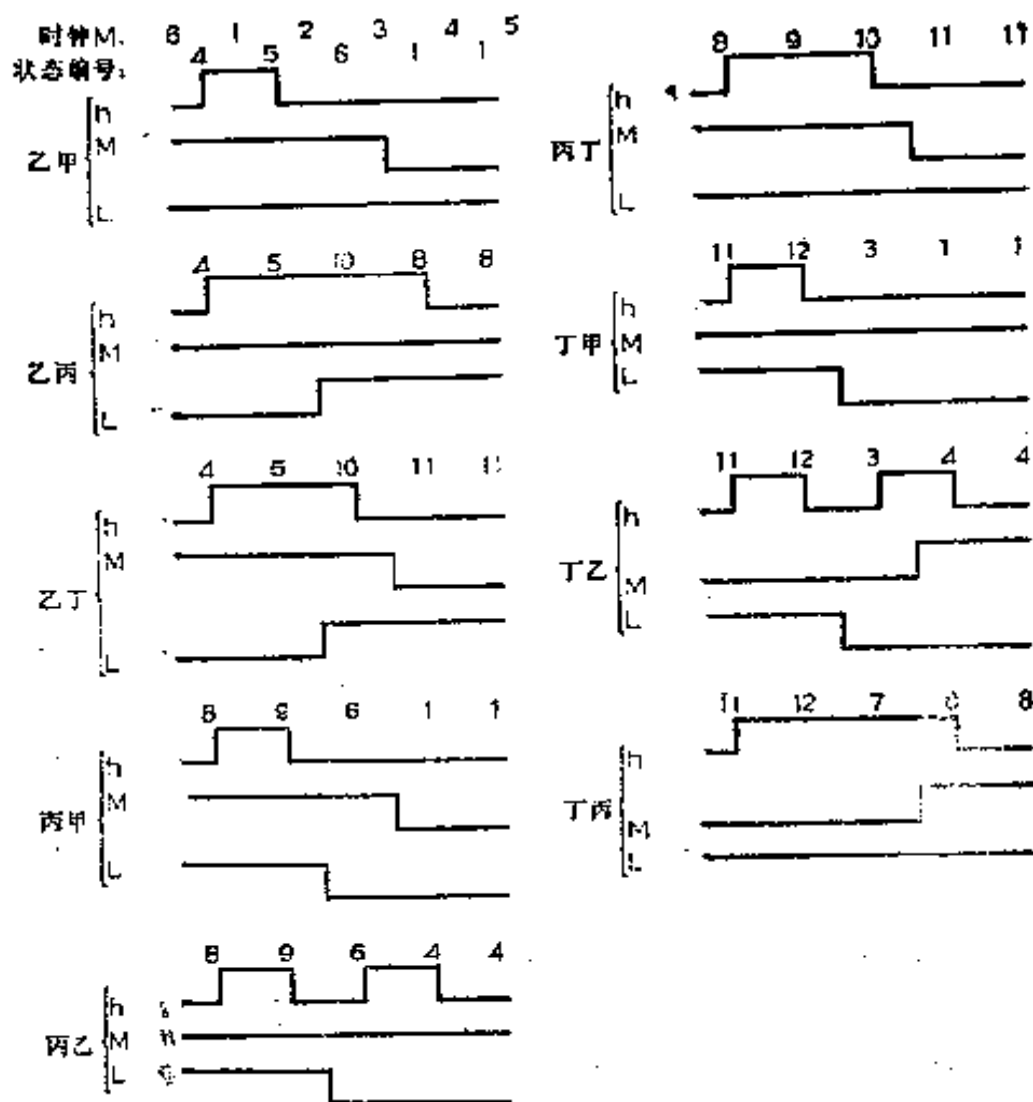


图 6.48

编号排列表如表6.24所示。表中波形状态编号的排列似乎有些零乱，但我们可以利用最右列与波形状态编号相对应的格雷码编号列出一张流程矩阵如图6.50(乙)。图6.50(丙)就是根据流程矩阵列出的函数值矩阵。

从图6.50(乙)可知原波形及流程是按格雷码设计的。图6.50(丙)的函数值矩阵可以用前例的办法逐步设计出来。

整个电路的布尔式如下，

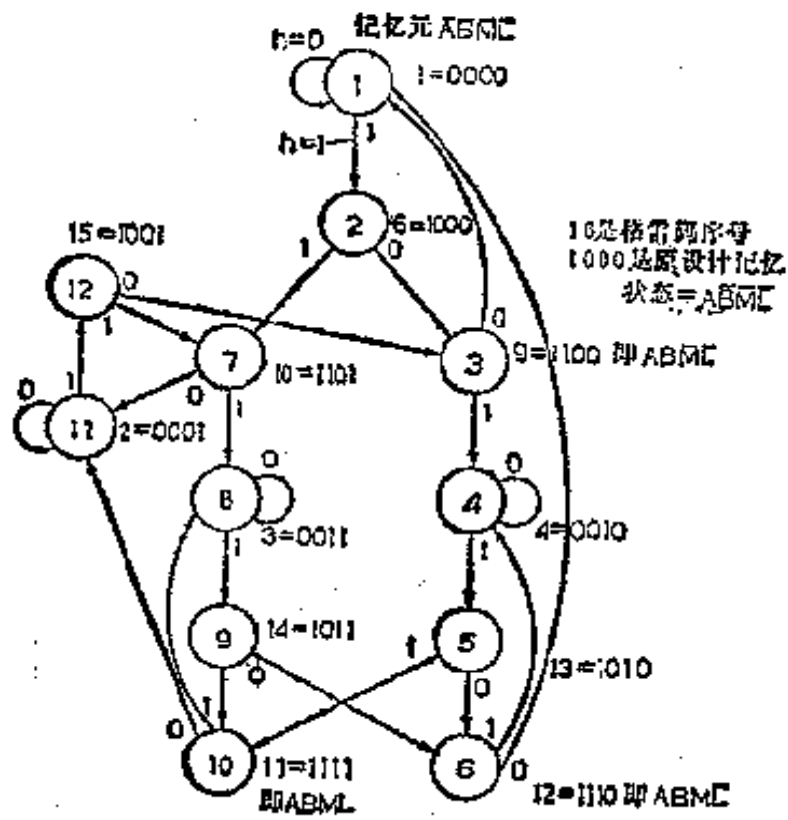


图 6.49

表 6.24

记忆元 ABML	波形状态 编号	记忆元 (格雷编号)	记忆元 ABML	波形状态 编号	记忆元 (格雷编号)
0000	1	1	1100	8	9
0001	11	2	1101	7	10
0011	8	8	1111	10	11
0010	4	4	1110	6	12
0110		6	1010	5	13
0111		5	1011	9	14
0101		7	1001	12	16
0100		8	1000	2	16

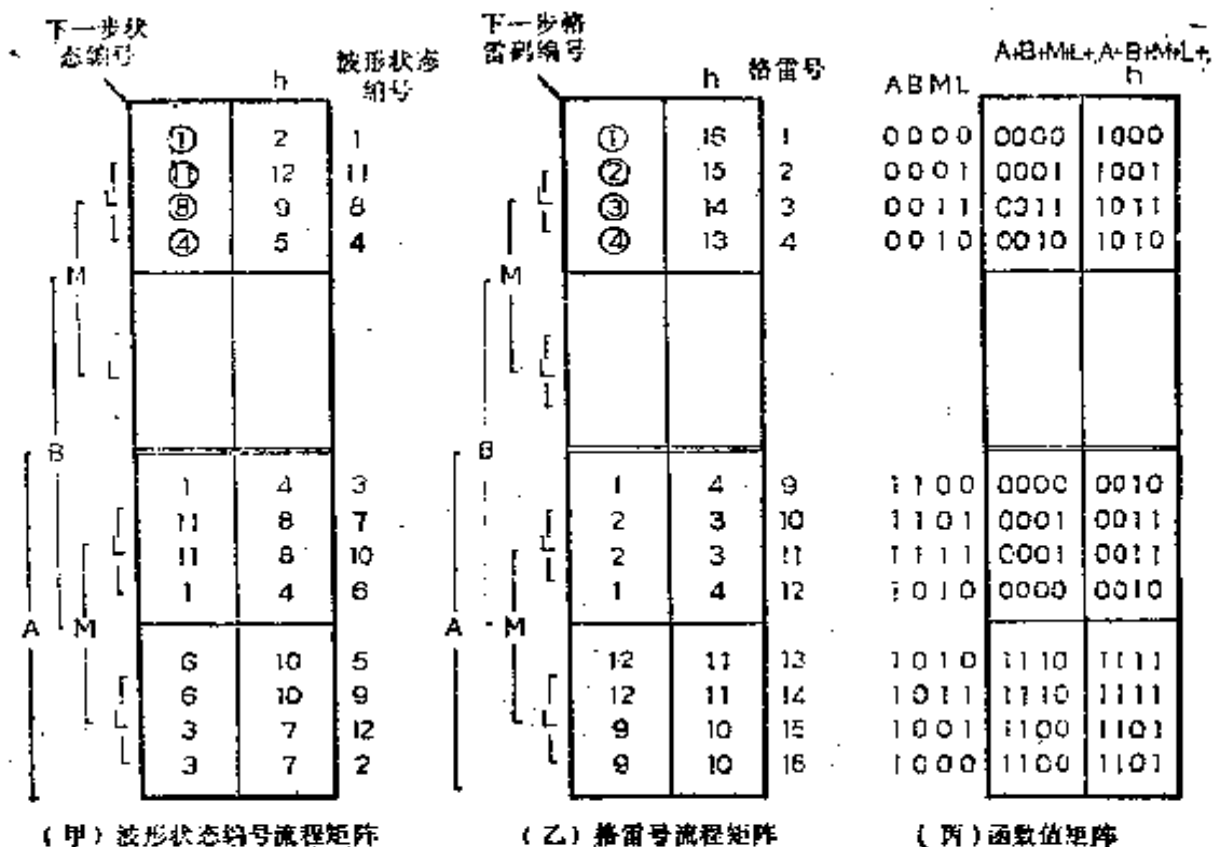


图 6.50

$$\left. \begin{aligned}
 J_A &= h & K_A &= B \\
 J_B &= A & K_B &= 1 \\
 J_M &= h B & K_M &= \overline{h} B \\
 J_L &= h A \overline{B} & K_L &= \overline{h} A \overline{B}
 \end{aligned} \right\} (21)$$

这个题目可用普通门电路来实现。最好将总题目分成 h 、 L 、 M 三个模块来考虑。

首先考虑 h 。编号的时钟脉冲，只有第 1、2、3 三个（称之为 m_1 、 m_2 、 m_3 ）在 h 影响下，才能起控制作用。这三个 m_i ($i=1, 2, 3$) 是由 h 起动的，但在 m_3 以后，时钟应自动失去控制 L 、 M 的作用，直到下一个循环 h 再次出现。用一个具有起动与自动停止性能的模三环形计数器，就可以分辨出 m_i 。可用本章(二)例 5 的电路。但我们现在试用第四章(四)的

“三进器”。请参阅第78页图4.75。

设电路起动信号为 f ，停止信号为 g ，而控制元为 P ，则可以设计一个起停逻辑，如图6.51所示。

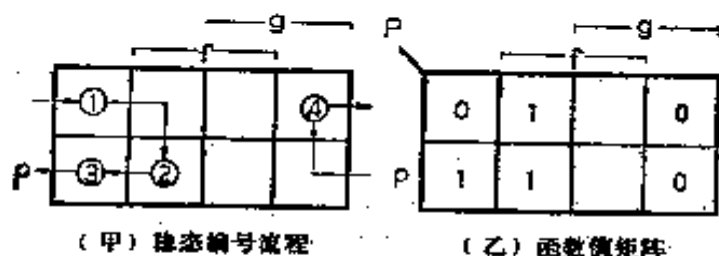


图 6.51

布尔式为：

$$P \leftarrow f + \bar{g} P \quad (22)$$

电路画在图6.52中。

计数器应与同步逻辑电路同时置0取 P 电路的起停信号为：

$$f = h \quad g = \bar{h} \bar{B} C \quad (23)$$

A 、 B 信号取自三进器，下同。

然后再用两个图6.52的电路来分别控制 L 和 M 信号。取 L 的起停信号为：

$$f_L = m h B C \quad g_L = m \bar{h} P B C \quad (24)$$

取 M 的起停信号为：

$$f_M = m h A B \quad g_M = m \bar{h} P A B \quad (25)$$

P_L 及 P_M 分别就是需要的 L 及 M 信号。整个电路共用了37个元件(门)。

还有一个很经济的方案，其布尔式为：

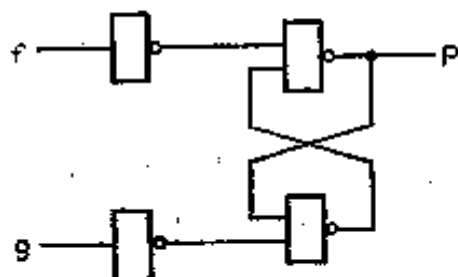


图 6.52

$$\left. \begin{aligned} J_A &= B, K_A = 1 \\ J_B &= \overline{A} h, K_B = 1 \\ J_M &= h A, K_M = \overline{h} A \\ J_L &= h B, K_L = \overline{h} B \end{aligned} \right\} (26)$$

	T_1	T_2	T_3	T_4
AB	00	01	10	00
h	1	1	0	0
LM	01	01	11	10
$J_L K_L$	00	10	00	00
$J_M K_M$	00	00	01	00

不同状态的可能组合有 3×4 种。现在取 $h=110$ 、 $LM=01$ 这一种状态核对, 结果证明, (见右表) 这一个状态是正确的, 其他状态可以类推。

习 题

1. 取消对甲甲、乙乙、丙丙、丁丁的要求, 即在第二循环时钟编号 1 至 3 这个间隙内对输出波形无严格要求, 重新设计一个简单的电路。
2. 用门电路实现本章(二)例 2 “模 16 计数器”的要求。
3. 用门电路实现习题(1)的要求。

文 献

1. 《晶体管脉冲数字电路》清华大学电子工程系工业自动化系编。1971, 科学出版社。
2. 《数字逻辑》蒋大宗, 余聚钧, 金德庆编。1979, 国防工业出版社。
3. 《Switching Circuits for Engineers》M. P. Marcus, 1967, Prentice-Hall(美)。
4. 《The Design of Digital Systems》J. B. Peatman, 1972, McGraw-Hill(美)。
5. 《An Introduction to Computer Logic》H. T. Nagle, Jr., B. D. Carroll, and J. D. Irwin, Prentice-Hall(美)。
6. 吴朔平, “布尔代数式的稳定性”。《中国电子学会第三届年会论文集》1982, 第319~322页。
7. 吴锦兰, “时序电路设计一例—多相同步脉冲发生器”。《电子技术文选》, 1980年第2期, 第27~36页。

附 录

第四章(三)3 “隐患之三”中提到：我们用的布尔式，实际上可以说是差分式。这是由于元件中的时延所造成的。假定我们电路中，每个元件的时延都一样，以 t_d 来表示这个时延，则第四章第(28)式，可写作如下的布尔差分式：

$$\begin{aligned}
 \text{(甲)} \begin{cases} A_3 \leftarrow ((\overline{m}_0)_1 b_1)_2 + (m_1 A_1)_2 \\ B_2 \leftarrow (\overline{m}_0)_1 + (\overline{a}_0)_1 \end{cases} \\
 \text{(乙)} \begin{cases} A'_3 \leftarrow ((\overline{m}_0)_1 b'_1)_2 + ((\overline{b}'_0)_1)_2 \\ B'_2 \leftarrow (\overline{m}_0)_1 + (\overline{a}'_1)_1 \end{cases}
 \end{aligned} \tag{28'}$$

式中各项下标代表时延。例如表中第一行，在 $t_d=0$ 时的 m 信号，经过电路中的元件，在 $t_d=3$ 时产生 A_3 信号。

根据(28')式，在表1中列出了(甲)、(乙)两组布尔式中各项在 $m \uparrow$ 时的动态变化。

表 1. 布尔差分式的动态变化

编号	m	A	B	$m A$	\overline{m}	$\overline{m} b$	A'	\overline{a}'	B'	\overline{b}'
0	0	1	1	0	1	1	1	0	1	0
1	1	1	1	0	1	1	1	0	1	0
2	1	1	1	1	0	1	1	0	1	0
3	1	1	0	1	0	0	1	0	0	0
4	1	1	0	1	0	0	0	0	0	1
5	1	1	0	1	0	0	1	1	0	1
6	1	1	0	1	0	0	1	0	1	1
7	1	1	0	1	0	0	1	0	0	0
8	1	1	0	1	0	0	0	0	0	1
9	1	1	0	1	0	0	1	1	0	1
10	1	1	0	1	0	0	1	0	1	1

从表 1 中可以看出, (甲)式中的 A 、 B 是稳定的, 而(乙)式中的 A' 、 B' 则起伏不定。从 I、II 两组数据中还可以看出 A' 、 B' 的起伏不定是周期性的。这与图 4.60(乙)完全符合。

用布尔差分式处理开关电路的稳定性, 便于用计算机处理繁杂的电路, 有一定的优越之处。请参阅参考文献 6。