

电源完整性理论基础

----- 阿鸣

随着 PCB 设计复杂度的逐步提高，对于信号完整性的分析除了反射，串扰以及 EMI 之外，稳定可靠的电源供应也成为设计者们重点研究的方向之一。尤其当开关器件数目不断增加，核心电压不断减小的时候，电源的波动往往会给系统带来致命的影响，于是人们提出了新的名词：电源完整性，简称 PI(power integrity)。其实，PI 和 SI 是紧密联系在一起，只是以往的 EDA 仿真工具在进行信号完整性分析时，一般都是简单地假设电源绝对处于稳定状态，但随着系统设计对仿真精度的要求不断提高，这种假设显然是越来越不能被接受的，于是 PI 的研究分析也应运而生。从广义上说，PI 是属于 SI 研究范畴之内的，而新一代的信号完整性仿真必须建立在可靠的电源完整性基础之上。虽然电源完整性主要是讨论电源供给的稳定性问题，但由于地在实际系统中总是和电源密不可分，通常把如何减少地平面的噪声也作为电源完整性中的一部分进行讨论。

一. 电源噪声的起因及危害

造成电源不稳定的根源主要在于两个方面：一是器件高速开关状态下，瞬态的交变电流过大；二是电流回路上存在的电感。从表现形式上来看又可以分为三类：同步开关噪声（SSN），有时被称为 Δi 噪声，地弹（Ground bounce）现象也可归于此类（图 1-a）；非理想电源阻抗影响（图 1-b）；谐振及边缘效应（图 1-c）。

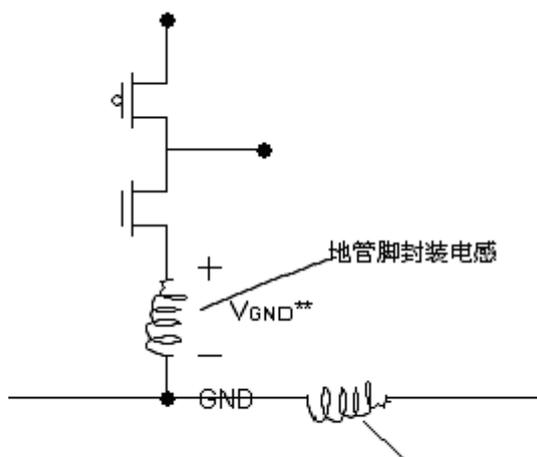


图1-a 非理想地平面存在阻抗

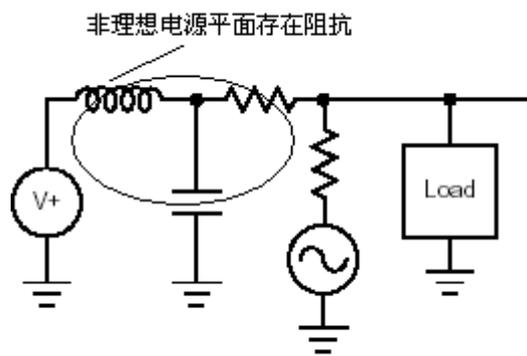


图1-b

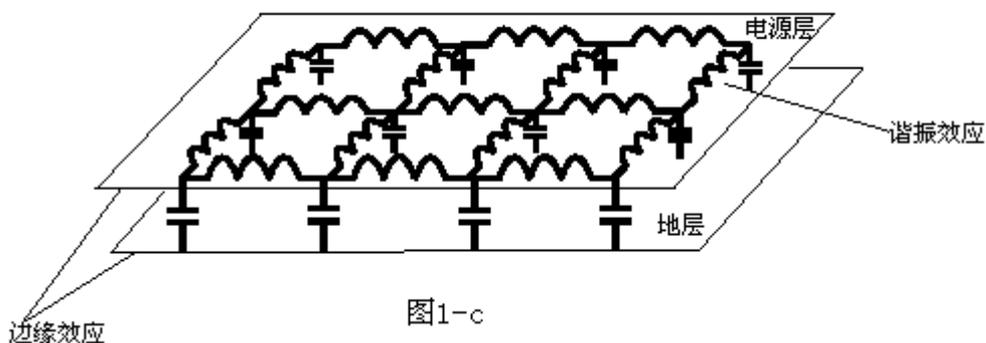
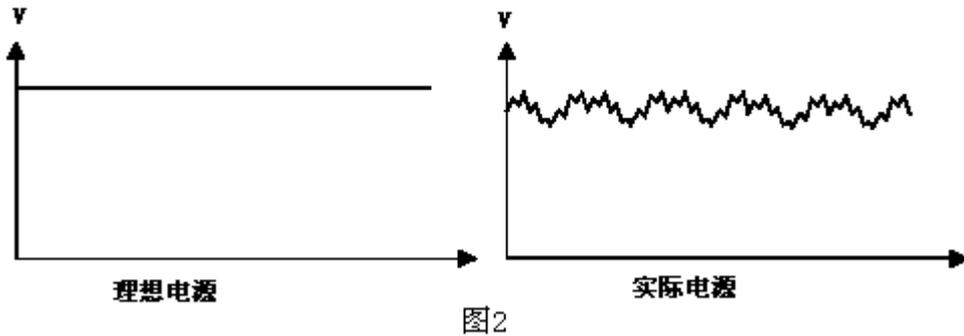


图1-c

对于一个理想的电源来说，其阻抗为零，在平面任何一点的电位都是保持恒定的（等于系统供给电压），然而实际的情况并不如此，而是存在很大的噪声干扰，甚至有可能影响系统的正常工作，见图 2：



开关噪声给信号传输带来的影响更为显著，由于地引线和平面存在寄生电感，在开关电流的作用下，会造成一定的电压波动，也就是说器件的参考地已经不再保持零电平，这样，在驱动端（见图 3-a），本来要发送的低电平会出现相应的噪声波形，相位和地面噪声相同，而对于开关信号波形来说，会因为地噪声的影响导致信号的下降沿变缓；在接收端（见图 3-b），信号的波形同样会受到地噪声的干扰，不过这时的干扰波形和地噪声相位相反；另外，在一些存储性器件里，还有可能因为本身电源和地噪声的影响造成数据意外翻转（图 3-c）。

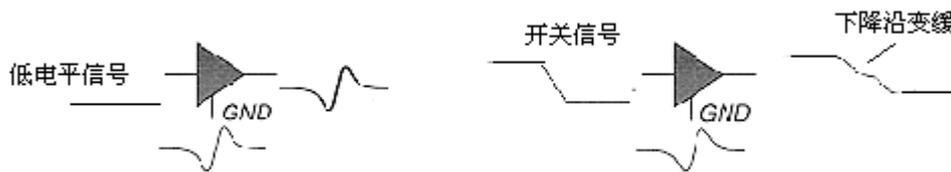
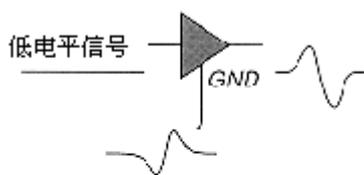


图3-a 地弹噪声对驱动端信号的影响



地弹噪声对接收端信号的影响
图3-b

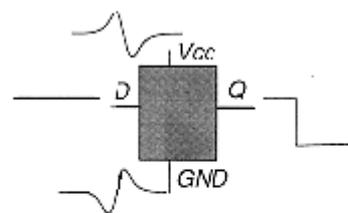


图3-c 触发器数据翻转

从前面的图 3-c 我们可以看到，电源平面其实可以看成是由很多电感和电容构成的网络，也可以看成是一个共振腔，在一定频率下，这些电容和电感会发生谐振现象，从而影响电源层的阻抗。比如一个 8 英寸×9 英寸的 PCB 空板，板材是普通的 FR4，电源和地之间的间距为 4.5Mils，随着频率的增加，电源阻抗是不断变化的，尤其是在并联谐振效应显著的时候，电源阻抗也随之明显增加（见图 4）。

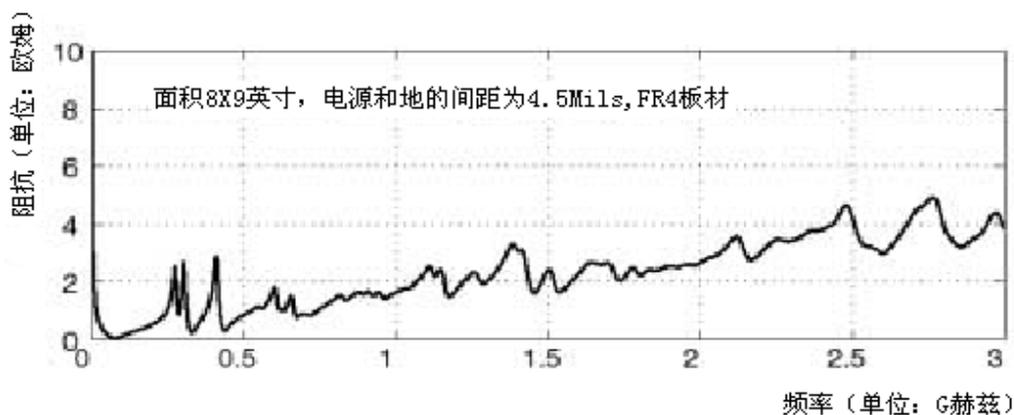


图4 电源平面的谐振现象

除了谐振效应，电源平面和地平面的边缘效应同样是电源设计中需要注意的问题，这里说的边缘效应就是指边缘反射和辐射现象，也可以列入 EMI 讨论的范畴。如果抑制了电源平面上的高频噪声，就能很好的减轻边缘的电磁辐射，通常是采用添加去耦电容的方法，从图 5 中可以看出去耦电容在抑制边缘辐射中的作用。边缘效应是无法完全避免的，在设计 PCB 时，要尽量让信号走线远离铺铜区边缘，以避免受到太大的干扰。

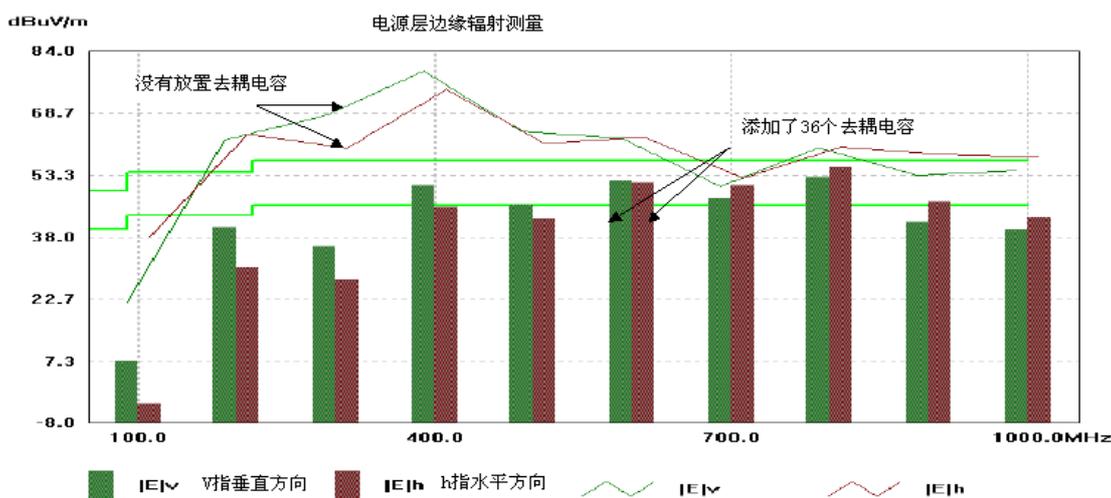


图 5

二. 电源阻抗设计

电源噪声的产生在很大程度上归结于非理想的电源分配系统（简称 PDS，即 Power Distribution System）。所谓电源分配系统，其作用就是给系统内的所有器件提供足够的电源，这些器件不但需要足够的功率消耗，同时对电源的平稳性也有一定的要求。大部分数字电路器件对电源波动的要求在正常电压的 $\pm 5\%$ 范围之内。电源之所以波动，就是因为实际的电源平面总是存在着阻抗，这样，在瞬间电流通过的时候，就会产生一定的电压降和电压摆动。

为了保证每个器件始终都能得到正常的电源供应，就需要对电源的阻抗进行控制，也就是尽可能降低其阻抗。比如，一个 5 伏的电源，允许的电压噪声为 5%，最大瞬间电流为 1 安培，那么设计的最大电源阻抗为：

$$Z_{target} = \frac{(\text{正常电源电压}) \times (\text{允许的波动范围})}{\text{最大电流}} = \frac{(5V) \times (5\%)}{1A} = 0.250\Omega$$

从上面的计算公式可以看出，随着电源电压不断减小，瞬间电流不断增大，所允许的最大电源阻抗也大大降低。而当今电路设计的趋势恰恰如此，参见下面微处理器性能参数变化的图表。综合各因素的影响，几乎每过三年，电源阻抗就要降为原来的五分之一，由此可见，**电源阻抗设计对于高速电路设计者来说是至关重要的。** →△

| 年份 | 电压 (伏特) | 功率耗散 (瓦特) | 最大电流 (安培) | 最大电源阻抗 (毫欧姆) | 工作频率 (兆赫兹) |
|------|------------|--------------|--------------|-----------------|---------------|
| 1990 | 5.0 | 5 | 1 | 250 | 16 |
| 1993 | 3.3 | 10 | 3 | 54 | 66 |
| 1996 | 2.5 | 30 | 12 | 10 | 200 |
| 1999 | 1.8 | 90 | 50 | 1.8 | 600 |
| 2002 | 1.2 | 180 | 150 | 0.4 | 1200 |

在设计电源阻抗的时候，要注意频率的影响，我们不但需要计算直流阻抗（电阻），还要同时考虑在较高频率时的交流阻抗（主要是电感），最高的频率将是时钟信号频率的两倍，因为在时钟的上升和下降沿，电源系统上都会产生瞬间电流的变化。一般可以通过下面这个基本公式来计算受阻抗影响的电源电压波动：

$$V_{drop} = i \cdot R + L \cdot \frac{di}{dt}$$

为了降低电源的电阻和电感，在设计中可采取的措施是：

- 使用电阻率低材料，比如铜；
- 用较厚、较粗的电源线，并尽可能减少长度；
- 降低接触电阻；
- 减小电源内阻；
- 电源尽量靠近 GND；
- 合理使用去耦电容；

由于电源阻抗的要求，以往的电源总线形式已经不可能适用于高速电路，目前基本上都是采用了大面积的铜皮层作为低阻抗的电源分配系统。当然，电源层本身的低阻抗还是不能满足设计的需要，需要考虑的问题还很多，比如，芯片封装中的电源管脚，连接器的接口，以及高频下的谐振现象等等，这些都可能会造成电源阻抗的显著增加。解决这些问题的最简单也最有效的方案就是大量使用去耦电容，这在后文中会详细讨论。

三. 同步开关噪声分析

同步开关噪声（Simultaneous Switch Noise，简称 SSN）是指当器件处于开关状态，产生瞬间变化的电流（ di/dt ），在经过回流途径上存在的电感时，形成交流压降，从而引起噪声，所以也称为 Δi 噪声。如果是由于封装电感而引起地平面的波动，造成芯片地和系统地不一致，这种现象我们称为地弹（Ground bounce）。同样，如果是由于封装电感引起的芯片和系统电源差异，就称为电源反弹（Power Bounce）。所以，严格的说，同步开关噪声并不完全是电源的问题，它对电源完整性产生的影响最主要表现为地/电源反弹现象。

同步开关噪声主要是伴随着器件的同步开关输出（SSO，即 Simultaneous Switch Output）而产生，开关速度越快，瞬间电流变化越显著，电流回路上的电感越大，则产生的 SSN 越严重。基本公式为： $V_{SSN} = N \cdot L_{Loop} \cdot (di/dt)$ ，其中 I 指单个开关输出的电流，N 是同时开关的驱动端数目， L_{Loop} 为整个回流路径上的电感，而 V_{SSN} 就是同步开关噪声的大小。这个公式看起来简单，但真正分析起来却不是那么容易，因为不但需要对电路进行合理的建模，还要

判断各种可能的回流路径，以及分析不同的工作状态。总的来说，对于同步开关噪声的研究是一个比较复杂的工程，本文也只是对其基本原理做一个概括性的阐述。此外，如果考虑地更广一点，除了信号本身回流路径的电感之外，离的很近的信号互连引线之间的串扰也是加剧同步开关噪声的原因之一。

由于电阻对开关噪声的影响很小，为简化讨论，这里忽略其影响，并把封装电感提取为简化的集总元件进行分析。我们可以将 SSN 分为两种情况：芯片内部（on-chip）开关噪声和芯片外部（off-chip）开关噪声。可以参考图 6，当内部 Driver4 开关（此时 driver1 作为接收端）时产生的噪声就是 on-chip SSN，可以看到其回流途径只经过电源和地，和信号管脚的寄生电感无关；而当 Driver1（或 2,3）作为开关输出时，产生的噪声称为 off-chip SSN，这时的电流将流经信号线和地，但不经过芯片的电源管脚（信号跳变为 1 到 0）。

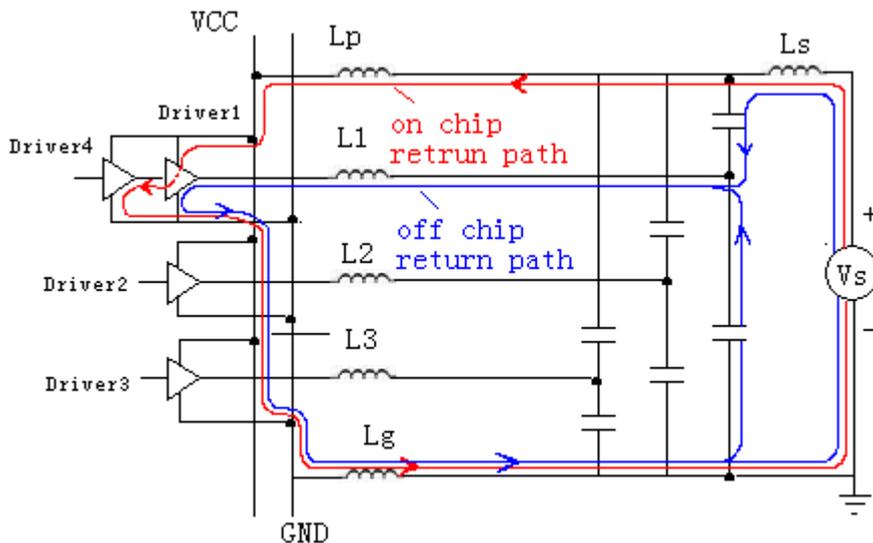


图6 SSN分析电路模型

1. 芯片内部开关噪声

先分析 on chip 的情况，上图中的 L_p 和 L_g 为封装中电源和地的寄生电感， L_s 为系统电源的电感。现假设 L 为封装电源和地总的电感，由于 L_p 和 L_g 上通过的电流是反向的，则： $L=L_p+L_g-2M_{pg}$ ， M_{pg} 指 L_p 和 L_g 之间的耦合电感。这时芯片实际得到的电压为：

$$V_{chip} = V_s - L \frac{di}{dt} - L_s \frac{di}{dt}$$

因而，在瞬间开关时，加载在芯片上的电源电压会下降，随后围绕 V_s 振荡并呈阻衰减。上面的分析仅仅是针对一个内部驱动工作的情况，如果多个驱动级同时工作，会造成更大的电源压降，从而造成器件的驱动能力将降低，电路速度会减慢。通常可以采取的措施有：

1. 降低芯片内部驱动器的开关速率和同时开关的数目，以减小 di/dt ，不过这种方式不现实，因为电路设计的方向就是更快，更密。
2. 降低系统供给电源的电感，高速电路设计中要求使用单独的电源层，并让电源层和地平面尽量接近。
3. 降低芯片封装中的电源和地管脚的电感，比如增加电源/地的管脚数目，减短引线长度，尽可能采用大面积铺铜。
4. 增加电源和地的互相耦合电感也可以减小回路总的电感，因此要让电源和地的管脚成对分布，并尽量靠近。
5. 给系统电源增加旁路电容，这些电容可以给高频的瞬变交流信号提供低电感的旁路，而变化较慢的信号仍然走系统电源回路（图 7）。虽然 off-chip 驱动的负载电容也可

以看作旁路电容，但由于其电容很小，所以对交流旁路作用不大。

6. 考虑在芯片封装内部使用旁路电容，这样高频电流的回路电感会非常小，能在很大程度上减小芯片内部的同步开关噪声。

7. 更高要求的情况下可以将芯片不经过封装而直接装配到系统主板上，这称为 DCA 技术 (Direct Chip Attach)。但这相关到一些稳定性和安全性的问题，在目前的技术水平下，还存在着很多问题。

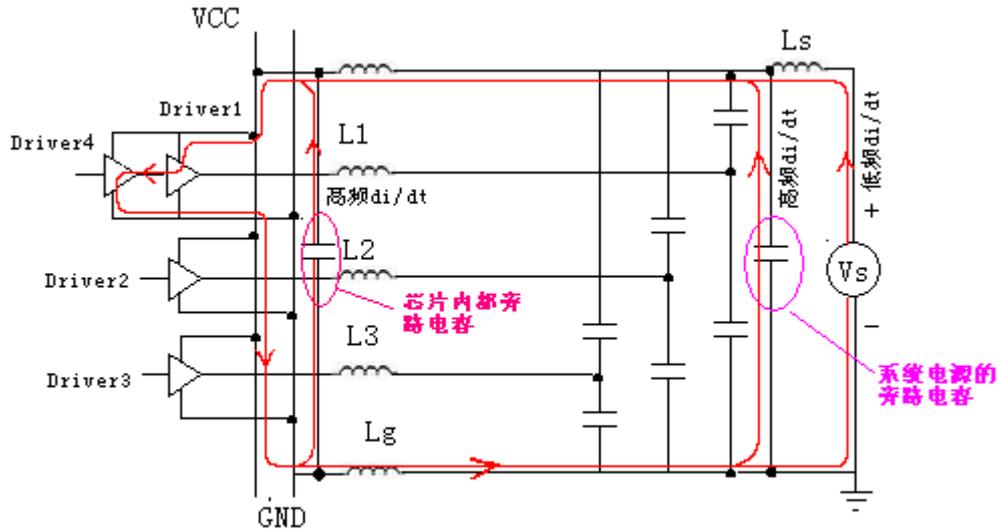


图7 旁路电容对on-chip SSN的作用

2. 芯片外部开关噪声

下面再分析一下 off-chip 的情况 (图 8)，它和 on-chip 最显著的区别在于计算开关噪声的时候需要考虑信号线的电感，而且对于不同的开关状态其电流回路也不同，1 到 0 跳变时，回流不经过封装的电源管脚，0 到 1 跳变时，回流不经过封装的地管脚。类似前面的分析，可计算由于封装电感的影响造成的电压降为 (不考虑系统电源电感)：

$$V_{gb} = (L1 + Lg - 2M_{lg}) \frac{di}{dt}$$

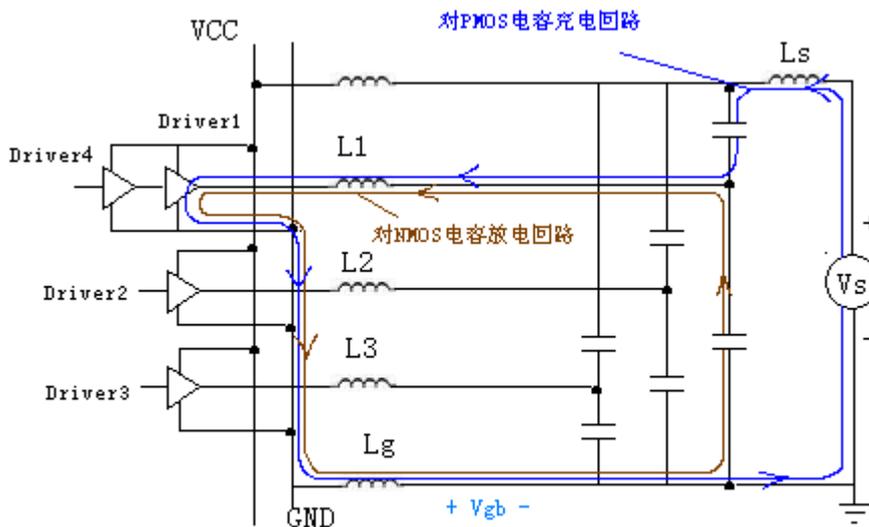


图8 1到0开关状态下的off-chip回流路径

这时，芯片的地并不是和理想的系统地保持同样的零电位，而是存在 V_{gb} 的电压波动，这种情况我们称之为地反弹（也称地跳，或 Ground bounce），同样对于 0 到 1 开关状态，封装电感会给电源造成一定的压降，称为电源反弹。当然，地弹现象是 on-chip 和 off-chip 同步开关输出的综合影响，但需要注意的是，地弹噪声只根源于封装寄生电感，和系统的电源及地的电感无关，这也是 SSN 和 Ground bounce 在概念上不等同的根本原因。

减轻 Off-chip 开关噪声的方法有以下几种：

1. 降低芯片内部驱动器的开关速率和同时开关的数目。
2. 降低封装回路电感，增加信号和电源和地的耦合电感。
3. 在封装内部使用旁路电容，这样能让电源和地共同分担电流回路，可以减小等效电感。但对于系统电源的旁路电容使用将不会影响地弹噪声的大小。

3. 等效电感衡量 SSN

分析了同步开关噪声的基本原理，我们可以总结出一个结论：对于给定的电路，即 di/dt 不变的情况下，减轻 SSN 就是尽量减小信号回路的等效电感 (L_{eff})。 L_{eff} 包含三个部分：On-chip 开关输出的回路等效电感 $L_{eff,p}$ ；所有 Off-chip 驱动从低到高开关输出的回路等效电感 $L_{eff,LH}$ ；所有 Off-chip 驱动从高到低开关输出的回路等效电感 $L_{eff,HL}$ 。对于 Off-chip 的同步开关来说，如果驱动器的跳变是不一致的话，比如有的是 1 到 0 变化，有的是 0 到 1 变化，这时候由于某些回流方向相反，会因为耦合而降低等效电感，而对于噪声分析，我们要能预见最坏的可能，所以考虑所有同步开关状态都一致的情况。

同步开关噪声的产生绝大部分源于芯片封装的问题（此外，还有接插件或连接器），往往有人仅仅是比较芯片封装管脚本身的寄生电感来判断高频封装的优劣，这是没有太大意义的。更有效的方法是通过仿真及测试得到信号回路等效电感 L_{eff} 来进行比较， L_{eff} 越大，就意味着同步开关噪声也越大。但有的时候也不是很容易就可以通过 L_{eff} 看出来的，比如下面图表中两种封装的等效电感比较，这时候就要取决于实际应用，看电源稳定性和信号干扰哪个更重要了：

| | $L_{eff,p}$ (On-chip switch) | $L_{eff,LH}$ (Off-chip switch) | $L_{eff,HL}$ (Off-chip switch) |
|------|---------------------------------|--|-----------------------------------|
| 封装 A | 0.08nH | 0.3nH | 0.25nH |
| 封装 B | 0.1nH | 0.25nH | 0.25nH |
| 评注 | 封装 A 的电源和地回路的电感较低，引起电源的下降较小 | 在 0 到 1 开关状态下，封装 B 的信号回路电感较小，对其他信号干扰较小 | 在 1 到 0 开关状态下，封装 A 和封装 B 的性能一样 |

利用软件对 SSN 进行具体分析时，可以构建图 6 所示电路模型结构进行 Spice 仿真。驱动端的输出缓冲器的详细模型可以如图 9 所示：

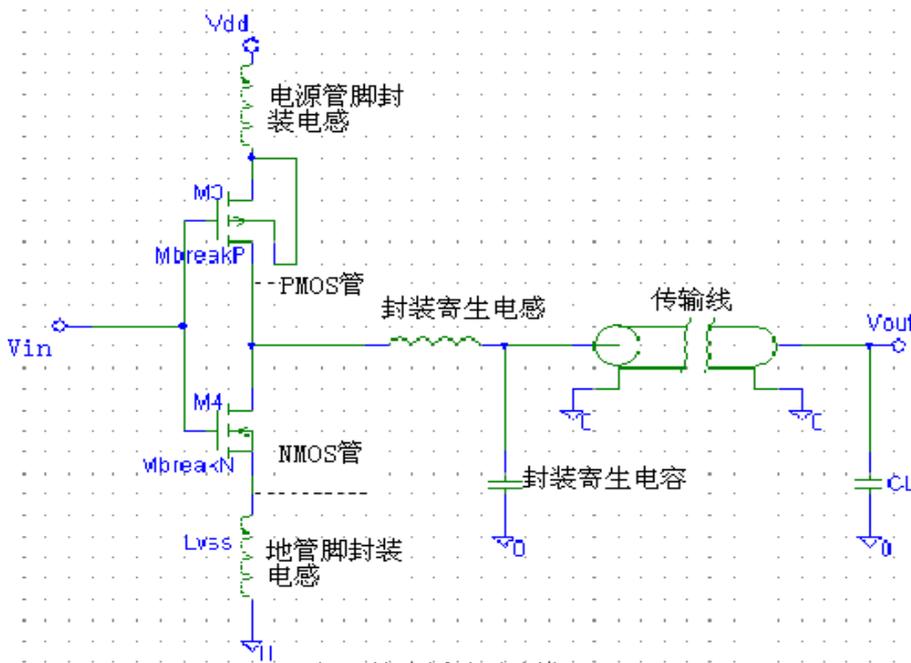


图9 输出缓冲器建模

四. 旁路电容的特性和应用

从上面的分析可以看到，无论是降低电源平面阻抗，还是减少同步开关噪声，旁路电容都起着很大的作用，电源完整性设计的重点也在如何合理的选择和放置这些电容。说到电容，各种各样的叫法就会让人头晕目眩，旁路电容，去耦电容，滤波电容等等，其实无论如何称呼，它的原理都是一样的，即利用对交流信号呈现低阻抗的特性，这一点可以通过电容的等效阻抗公式看出来： $X_{cap}=1/2\pi fC$ ，工作频率越高，电容值越大则电容的阻抗越小。在电路中，如果电容起的主要作用是给交流信号提供低阻抗的通路，就称为旁路电容；如果主要是为了增加电源和地的交流耦合，减少交流信号对电源的影响，就可以称为去耦电容；如果用于滤波电路中，那么又可以称为滤波电容；除此以外，对于直流电压，电容器还可作为电路储能，利用冲放电起到电池的作用。而实际情况中，往往电容的作用是多方面的，我们大可不必花太多的心思考虑如何定义。本文里，我们统一把这些应用于高速 PCB 设计中的电容都称为旁路电容。

对于电容在高速 PCB 电路中的作用，诸如减少电源波动（图 10），降低 SSN 和串扰，抑制 EMI 等等，这些在相应的文章里都已提及，本节不再重复，而重点放在讨论实际电容的特性及具体应用上。

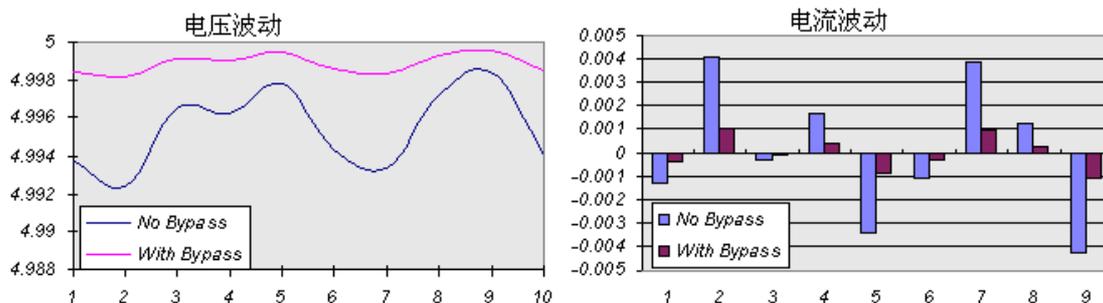


图10 旁路电容有利于电源稳定

1. 电容的频率特性

对于理想的电容器来说，不考虑寄生电感和电阻的影响，那么我们在电容设计上就没有任何顾虑，电容的值越大越好。但实际情况却相差很远，并不是电容越大对高速电路越有利，反而小电容才能被应用于高频。理解这个问题，我们首先必须了解实际电容器本身的特性，参考图 12，可以看到实际的电容器要比理想的电容复杂的多，除了包含寄生的串联电阻 R_s (ESR)，串联电感 L_s (ESL)，还有泄漏电阻 R_p ，介质吸收电容 C_{da} ，和介质吸收电阻 R_{da} 等。泄漏电阻 R_p 也称为绝缘电阻，值越大，泄漏的直流电流越小，性能也越好，一般电容的 R_p 都很大 (G 欧姆级以上)，所以在一般考虑问题时可以忽略。介质吸收的等效 RC 电路反映了电容介质本身的特性，是一种有滞后性质的内部电荷分布，它使快速放电然后开路的电容器恢复一部分电荷，所以介质吸收太大的电容不能应用于采样保持电路。

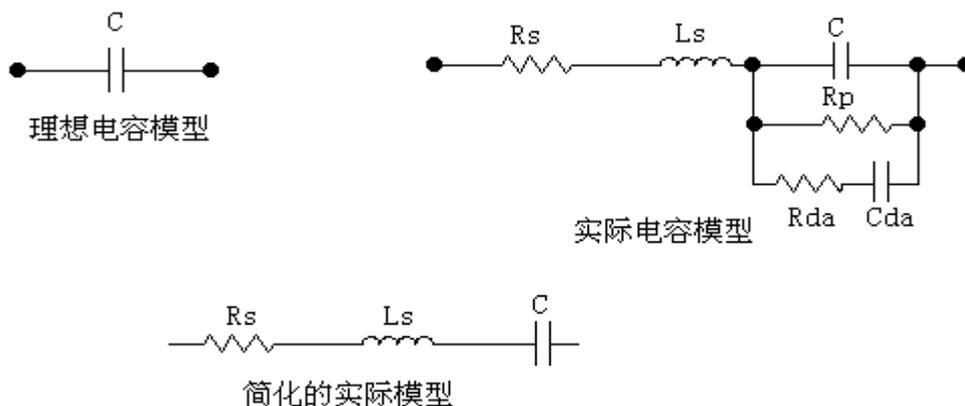


图12 电容的各种等效模型

对电容的高频特性影响最大的则是 ESR 和 ESL，我们通常采用上图中简化的实际模型。电容也可以看成是一个串联的谐振电路，其等效阻抗和串联谐振频率为：

$$|z| = \sqrt{R_s^2 + \left(2\pi f L_s - \frac{1}{2\pi f C}\right)^2}, \quad f_R = \frac{1}{2\pi\sqrt{LC}}$$

当它在低频的情况(谐振频率以下)，表现为电容性的器件，而当频率增加（超过谐振频率）的时候，它渐渐的表现为电感性的器件。也就是说它的阻抗随着频率的增加先增大后减小，等效阻抗的最小值发生在串联谐振频率是，这时候，电容的容抗和感抗正好抵消，表现为阻抗大小恰好等于寄生串联电阻 ESR，变化曲线如图 13 所示：

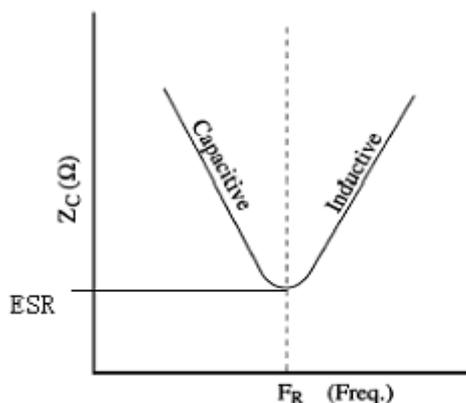


图13 电容阻抗随频率的变化

从谐振频率的公式可以看出，电容大小和 ESL 值的变化都会影响电容器的谐振频率（见图 14）。由于电容在谐振点附近的阻抗最低，所以设计时尽量选用 F_R 和实际工作频率相近的电容。如果工作的频率变化范围很大，则可以混合使用电容，即同时选择一些 F_R 较小的大电容和 F_R 较大的小电容。

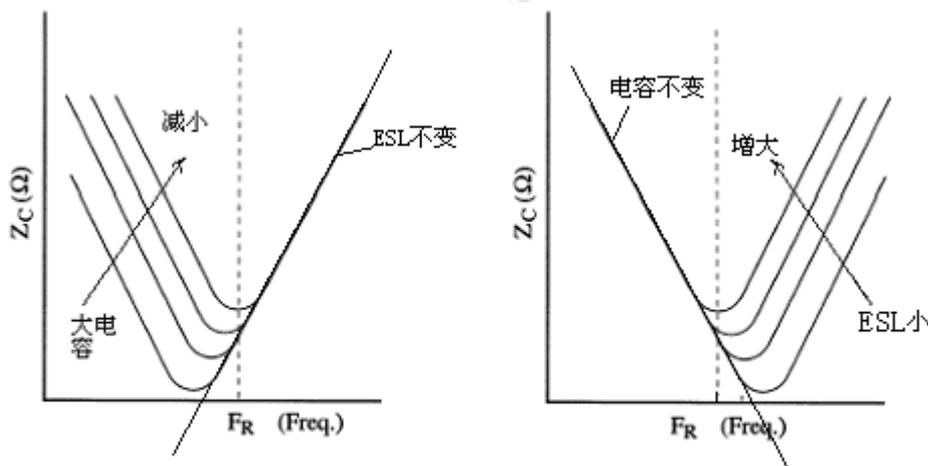


图14 电容和ESL的变化对频率特性的影响

描述曲线的锐度可以用品质因素 Q 值来表示，即 Q 越大，谐振频率曲线越尖，能量衰减的越慢。它主要和 ESL 和 ESR 的比值有关，其表达式为：

$$Q = \frac{Z}{R} = \frac{\sqrt{ESL/C}}{ESR} = \frac{2\pi f \cdot ESL}{ESR} = \frac{\omega \cdot L}{R}$$

2. 电容的介质和封装影响

实际电容器的特性最主要受封装结构和介质材料的影响。从封装形式上看，有引线式和贴片式两种，贴片电容是靠焊锡直接贴装在电路板上，其寄生电感要比引线电容小很多，所以更适合高频电路使用。有时候，同样的数值，同样的介质材料，但不同厂家的电容封装大小却可能不同，我们的基本判断方法是：如果对于较大值的电容（大于 10 μ F），一般封装较小的比封装较大具有更大的 ESL，ESR。但对于数值小的电容来说，就不能简单地通过外形大小判断，而是需要厂家提供的实际数据或实际测量的结果。根据介质不同，电容又可分为陶瓷、云母、纸质、薄膜、电解等几种。目前，在数字电路 PCB 设计中使用最广泛的是陶瓷电容，它具有介电系数高，绝缘度好，温度特性佳等优点，适合做成高密度，小尺寸的产品。

通常应用于陶瓷电容器较常见的介质有三种：Z5U (2E6)，X7R (2X1)，NPO (C0G)。Z5U 具有较高的介电常数，常用于标称容量较高的大容量电容器，其 1206 贴片封装的电容值可以达到 0.33 μ F，它的温度特性较差，最好应用于 10~85 $^{\circ}$ C 范围之内。由于 Z5U 成本较低，所以广泛用于对容量、损耗要求不高的场合；X7R 材料比 Z5U 介电常数低，所以同样的 1206 封装，最大只能达到 0.12 μ F 的容量。但它的电气性能较稳定，随温度、电压，时间的改变，其特性变化并不显著，属稳定型电容材料类型，适用于隔直、耦合、旁路、滤波电路及可靠性要求较高的中、低类场合；NPO 材料的电气特性最稳定，基本上不随温度、电压、时间的改变而改变，属超稳定型，低损耗电容材料类型，适用于对稳定性、可靠性要求较高的高频、超高频的场合。

3. 电容并联特性及反谐振

实际应用中的电容往往都是多个并联使用，因为这样可以大大降低等效的 ESR 和 ESL，增大电容。对于多个 (n) 同样值的电容来说，并联使用之后，等效电容 C 变为 nC，等效电感 L 变为 L/n，等效 ESR 变为 R/n，但谐振频率不变（如图 15）。

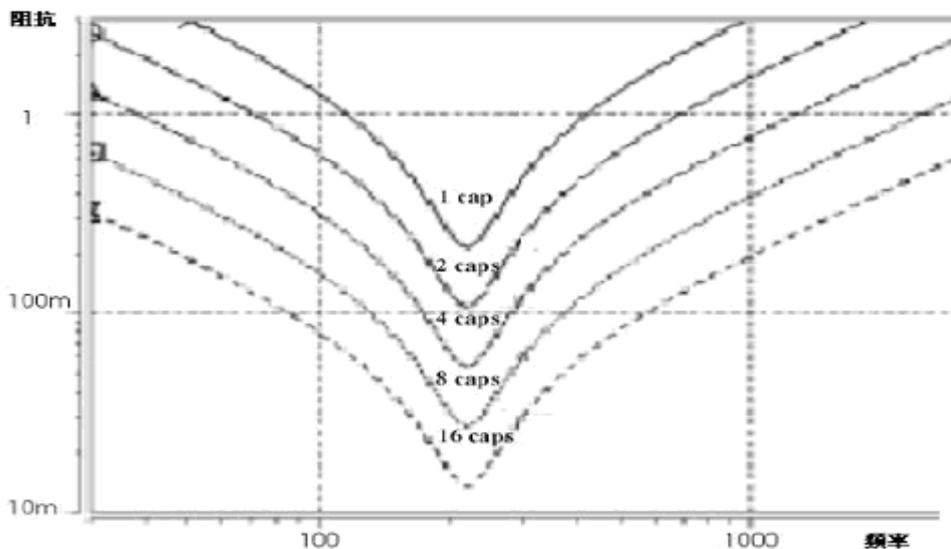


图15 等值电容并联特性

不同值的电容并联情况就会更为复杂，因为每个电容的谐振频率不同，当工作频率处于两个谐振频率之间时，一些电容表现为感性，另外一些表现为容性，这就形成了一个 LC 并联谐振电路，当处于谐振状态时，电感和电容之间进行周期性的能量交换，这样流经电源层的电流极小，电源层表现为高阻抗状态，这种现象也被称为反谐振 (Anti-resonance)。其实不光是并联的电容会出现这种情况，电源平面和地平面本身就是一个等效的电容，所以它也会和在一定频率下呈感性的电容发生并联谐振。如何降低反谐振带来的影响，这是电源完整性设计中需要重视的地方。

前面提到，Q 值是体现电路中能量衰减的品质因素，Q 值太大，会造成曲线中的尖峰加剧（图 16 所示）。极端的考虑，如果电容的寄生电阻 ESR 为零，那么 Q 值将无穷大，在并联谐振点的等效阻抗也变为无穷大。所以，从这点考虑，电容的 ESR 并非是越小越好，需要考虑到反谐振的情况，一般应用于电源旁路的时候，我们应该使用 Q 值较小的电容。此外，使用多种电容，减小不同电容之间谐振频率的相对差值，也可以有效的减小反谐振的影响（图 17）。

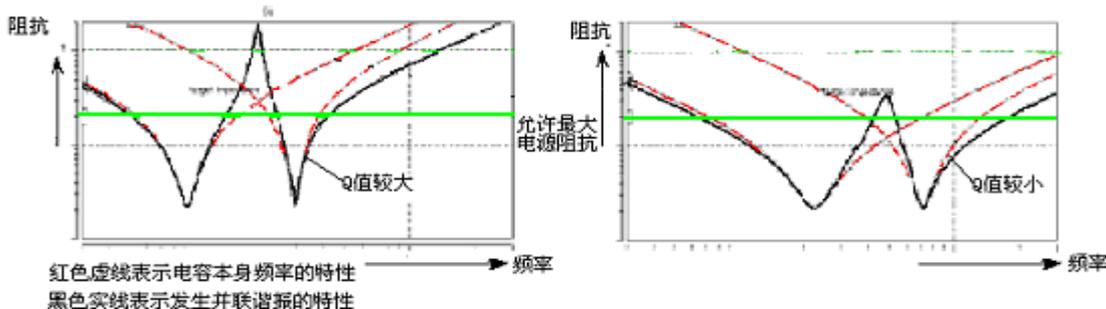


图16 电容的并联谐振现象

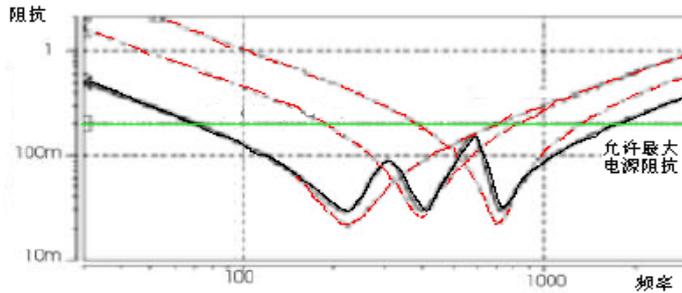


图17 多种电容减轻反谐振影响

4. 如何选择电容

对于一个实际的电路系统，我们如何正确选取合适的电容呢？我们以一个实际例子来说明，假设电路中有 50 个驱动缓冲器同时开关输出，边沿速度 1ns，负载 30pF，电压 2.5 伏，允许波动范围为 +/-2%（如果考虑电源层的阻抗影响，可允许的波动范围可增加）。则最简单的一种方法就是看负载的瞬间电流消耗，计算方法如下：

1. 先计算负载需要的电流 I

$$I = \frac{CdV}{dt} = \frac{30pF \times 2.5V}{1ns} = 75mA$$

，则总的电流需要：50X75mA=3.75A

2. 然后可以算出需要的电容

$$C = \frac{Idt}{dV} = \frac{3.75A \times 1ns}{2.5 \times 2\%} = 75nF$$

3. 考虑到实际情况可能因为温度，老化等影响，可以取 80nF 的电容以保证一定的裕量。并可采用两个 40nF 的并联，以减小 ESR。

上面的这种计算方法很简单，但实际的效果不是很好，特别是在高频电路的应用上，会出现很多问题。比如上面的这个例子，即便电容的电感很小，只有 1nH，但根据 $dV=Ldi/dt$ ，可以算出大概有 3.75V 的压降，这显然是无法接受的。

因此，针对较高频率的电路设计时，我们要采用另外一种更为有效的计算方法，主要的是看回路电感的影响。仍以刚才那个例子分析：

1. 先计算电源回路允许的最大阻抗 X_{max}

$$X_{max} = \Delta V / \Delta I = 0.05V / 3.75A = 13.3 \text{ mohms}$$

2. 考虑低频旁路电容的工作范围 F_{BYPASS}

$$F_{BYPASS} = X_{max} / 2 \pi L_0 = 13.3 / (2 \times 3.14 \times 5) = 424KHz$$

这是考虑板上电源总线的去耦电容，一般取值较大的电解电容，这里假设其寄生电感为 5nH。可以认为频率低于 F_{BYPASS} 的交流信号由板级大电容提供旁路。

4. 考虑最高有效频率 F_{knee} ，也称为截止频率

$F_{knee} = 0.5 / Tr = 0.5 / 1ns = 500MHz$ ，截止频率代表了数字电路中能量最集中的频率范围，超过 F_{knee} 的频率将对数字信号的能量传输没有影响。

5. 计算出在最大的有效频率（ F_{knee} ）下，电容允许的最大电感 L_{TOT}

$$L_{TOT} = \frac{X_{MAX}}{2 \cdot \pi \cdot F_{knee}} = \frac{X_{MAX} \cdot Tr}{\pi} = \frac{13.3mohms \times 1ns}{3.14} = 4.24pH$$

6. 假设每个电容的 ESL 为 1.5nH(包含焊盘引线的电感)，则可算出需要的电容个数 N:

$$N = ESL / L_{TOT} = 1.5nH / 4.24pH = 354$$

7. 电容在低频下不能超过允许的阻抗范围，可以算出总的电容值 C

$$C = \frac{1}{2\pi F_{BYPASS} \cdot X_{MAX}} = \frac{1}{2 \times 3.14 \times 424KHz \times 13.3mohms} = 28.3\mu F$$

8. 最后算出每个电容的取值 Cn

$$Cn = C/N = 28.3\mu F / 354 = 80nF$$

计算结果表明，为了到达最佳设计效果，我们需要将 354 个 80nF 的电容平均分布在整个 PCB 板上，但是从实际情况看，这么多电容往往是不太可能的，如果同时开关的数目减少，上升沿不是很快，允许电压波动的范围更大的话，计算出来的结果也会变化很大。如果实际的高速电路要求的确很高的话，我们只有尽可能选取 ESL 较小的电容来避免使用大量的电容。

5. 电容在 Layout 中注意事项

通过对以上电容特性的分析，我们可以大致总结出高速 PCB 布线中对电容处理的要求，简单的说就是降低电感。具体措施主要有：

- 减小电容引线/引脚的长度。
- 使用宽的连线。
- 电容尽量靠近器件，并直接和电源管脚相连。
- 降低电容的高度（使用表贴型电容）。
- 电容之间不要共用过孔，可以考虑打多个过孔接电源/地。
- 电容的过孔要尽量靠近焊盘（能打在焊盘上最佳），如图 18 所示：

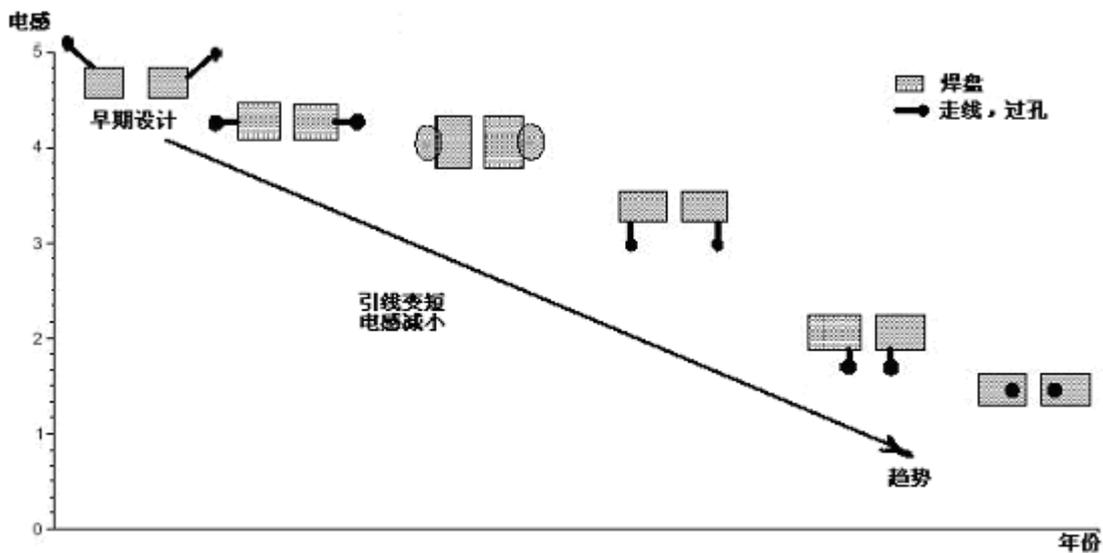


图18 电容Layout中引线设计趋势